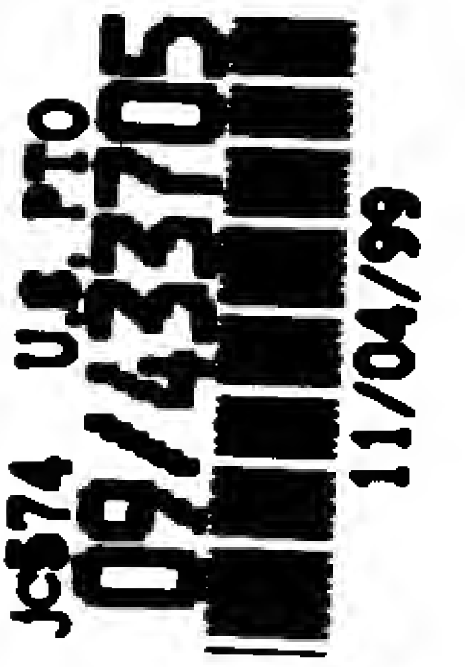


日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1 9 9 8 年 1 2 月 2 8 日

出 願 番 号
Application Number:

平成 1 0 年 特 許 願 第 3 7 3 2 2 2 号

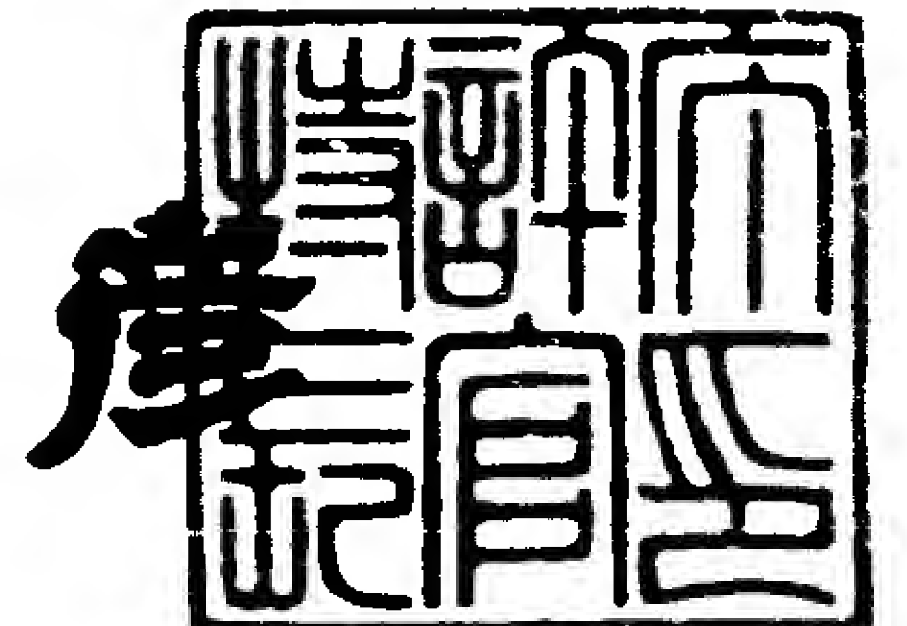
出 願 人
Applicant (s):

株式会社半導体エネルギー研究所

1 9 9 9 年 9 月 2 4 日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



出 証 番 号 出 証 特 平 1 1 - 3 0 6 5 6 3 7

【書類名】 特許願

【整理番号】 P004065-05

【提出日】 平成10年12月28日

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置の作製方法

【請求項の数】 12

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 山崎 舜平

【特許出願人】

 【識別番号】 000153878

 【氏名又は名称】 株式会社半導体エネルギー研究所

 【代表者】 山崎 舜平

【手数料の表示】

 【予納台帳番号】 002543

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の作製方法

【特許請求の範囲】

【請求項 1】 半導体層に接して絶縁膜を形成する工程と、

前記絶縁膜を介して前記半導体層と交差する前記ゲート電極を形成する工程と

、

前記ゲート電極を選択的に通過させて、所定の導電型の不純物を前記半導体層に添加する工程と、

を有し、

前記ゲート電極の形成工程において、前記ゲート電極の側面が前記絶縁膜となす角度を 3 度以上 60 度以下にすることを特徴とする半導体装置の作製方法。

【請求項 2】 半導体層に接して絶縁膜を形成する工程と、

前記絶縁膜を介して前記半導体層と交差する前記ゲート電極を形成する工程と

、

前記ゲート電極を選択的に通過させて、所定の導電型の不純物を前記半導体層に添加する第 1 の添加工程と、

前記ゲート電極を通過させないで、前記不純物を前記半導体層に添加する第 2 の添加工程と、

を有し、

前記ゲート電極の形成工程において、前記ゲート電極の側面が前記絶縁膜となす角度を 3 度以上 60 度以下にすることを特徴とする半導体装置の作製方法。

【請求項 3】 請求項 2 に記載の第 2 の添加工程において、

前記ゲート電極を覆い、かつ前記ゲート電極よりもチャンネル長方向の幅の広いマスクを用いて、前記半導体層に前記不純物を添加することを特徴とする半導体装置の作製方法。

【請求項 4】 半導体層に接して絶縁膜を形成する工程と、

前記絶縁膜に接して第 1 の導電膜を形成する工程と、

前記第 1 の導電膜に接して第 2 の導電膜を形成する工程と、

前記第 1、第 2 の導電膜をパターンニングして、前記第 1 の導電膜でなる第 1 の

ゲート電極と、該第1のゲート電極よりもチャンネル長方向の幅の狭い前記第2の導電膜でなる第2のゲート電極とが積層されたゲート電極を形成する工程と、

前記第1のゲート電極を選択的に通過させて、所定の導電型の不純物を前記半導体層に添加する工程と、

を有し、

前記ゲート電極の形成工程において、前記第1のゲート電極の側面が前記絶縁膜となす角度を3度以上60度以下にすることを特徴とする半導体装置の作製方法。

【請求項5】 半導体層に接して絶縁膜を形成する工程と、

前記絶縁膜に接して第1の導電膜を形成する工程と、

前記第1の導電膜に接して第2の導電膜を形成する工程と、

前記第1、第2の導電膜をパターンニングして、前記第1の導電膜でなる第1のゲート電極と、該第1のゲート電極よりもチャンネル長方向の幅の狭い前記第2の導電膜でなる第2のゲート電極とが積層されたゲート電極を形成する工程と、

前記第1のゲート電極を選択的に通過させて、所定の導電型の不純物を前記半導体層に添加する第1の添加工程と、

前記ゲート電極を通過させないで、前記導電型の不純物を前記半導体層に添加する第2の添加工程と、

を有し、

前記ゲート電極の形成工程において、前記第1のゲート電極の側面が前記絶縁膜となす角度を3度以上60度以下にすることを特徴とする半導体装置の作製方法。

【請求項6】 請求項5に記載の第2の添加工程において、

前記第1のゲート電極を覆い、かつ前記第1のゲート電極よりもチャンネル長方向の幅の広いマスクを用いて、前記不純物を前記半導体層に添加することを特徴とする半導体装置の作製方法。

【請求項7】 nチャンネル型の薄膜トランジスタとpチャンネル型薄膜トランジスタでなるCMOS回路を備えた半導体装置の作製方法であって、

第1の半導体層と第2の半導体層を形成する工程と、

前記第 1 半導体層と前記第 2 の半導体層に接して絶縁膜を形成する工程と、
 前記第 1 の半導体層と前記第 2 の半導体層とに交差する第 1 のゲート配線と、
 前記第 1 のゲート配線上に積層された第 2 のゲート配線とを形成するゲート配線
 形成工程と、

前記第 1 のゲート配線を選択的に通過させて、n 型の不純物を前記第 1 の半導
 体層に添加する第 1 の添加工程と、

前記第 1 のゲート配線を通過させないで、前記 n 型の不純物を前記第 1 の半導
 体層に添加する第 2 の添加工程と、

前記第 1 及び第 2 のゲート配線をマスクにして、p 型の不純物を前記第 2 の半
 導体層に添加する第 3 の添加工程と、

を有し、

前記第 1 のゲート配線において、前記第 1 の半導体層と交差している部分の側
 面は前記絶縁膜となす角度が 3 度以上 6 0 度以下であることを特徴とする半導体
 装置の作製方法。

【請求項 8】 n チャネル型の薄膜トランジスタと p チャネル型薄膜トランジス
 タでなる CMOS 回路を備えた半導体装置の作製方法であって、

第 1 の半導体層と第 2 の半導体層を形成する工程と、

前記第 1 半導体層と前記第 2 の半導体層に接して絶縁膜を形成する工程と、

前記第 1 の半導体層と前記第 2 の半導体層とに交差する第 1 のゲート配線と、
 前記第 1 のゲート配線上に積層された第 2 のゲート配線とを形成するゲート配線
 形成工程と、

前記第 1 及び第 2 のゲート配線をマスクにして、p 型の不純物を前記第 2 の半
 導体層に添加する第 1 の添加工程と、

前記第 1 のゲート配線を選択的に通過させて、n 型の不純物を前記第 1 の半導
 体層に添加する第 2 の添加工程と、

前記第 1 のゲート電極を通過させないで、前記 n 型の不純物を前記第 1 の半導
 体層に添加する第 3 の添加工程と、

を有し、

前記第 1 のゲート配線において、前記第 1 の半導体層と交差している部分の側

面は前記絶縁膜となす角度が3度以上60度以下であることを特徴とする半導体装置の作製方法。

【請求項9】 nチャネル型の薄膜トランジスタとpチャネル型薄膜トランジスタでなるCMOS回路を備えた半導体装置の作製方法であって、

第1の半導体層と第2の半導体層を形成する工程と、

前記第1半導体層と前記第2の半導体層に接して絶縁膜を形成する工程と、

前記第1の半導体層と前記第2の半導体層とに交差する第1のゲート配線と、前記第1のゲート配線上に積層された第2のゲート配線とを形成するゲート配線形成工程と、

前記第1及び第2のゲート配線をマスクにして、p型の不純物を前記第2の半導体層に添加する第1の添加工程と、

前記第1のゲート電極を通過させないで、n型の不純物を前記第1の半導体層に添加する第2の添加工程と、

前記第1のゲート配線を選択的に通過させて、前記n型の不純物を前記第1の半導体層に添加する第3の添加工程と、
を有し、

前記第1のゲート配線において、前記第1の半導体層と交差している部分の側面は前記絶縁膜となす角度が3度以上60度以下であることを特徴とする半導体装置の作製方法。

【請求項10】 nチャネル型の薄膜トランジスタとpチャネル型薄膜トランジスタでなるCMOS回路を備えた半導体装置の作製方法であって、

第1の半導体層と第2の半導体層を形成する工程と、

前記第1半導体層と前記第2の半導体層に接して絶縁膜を形成する工程と、

前記第1の半導体層と第2の半導体層と交差する第1のゲート配線と、前記第1のゲート配線上に積層された第2のゲート配線とを形成するゲート配線形成工程と、

前記第1のゲート配線を選択的に通過させて、n型の不純物を前記第1の半導体層に添加する第1の添加工程と、

前記第1及び第2のゲート配線をマスクにして、p型の不純物を前記第2の半

導体層に添加する第 2 の添加工程と、

前記第 1 のゲート電極を通過させないで、前記 n 型の不純物を前記第 1 の半導体層に添加する第 3 の添加工程と、

を有し、

前記第 1 のゲート配線において、前記第 1 の半導体層と交差している部分の側面は前記絶縁膜となす角度が 3 度以上 6 0 度以下であることを特徴とする半導体装置の作製方法。

【請求項 1 1】 n チャネル型の薄膜トランジスタと p チャネル型薄膜トランジスタでなる CMOS 回路を備えた半導体装置の作製方法であって、

第 1 の半導体層と第 2 の半導体層を形成する工程と、

前記第 1 半導体層と前記第 2 の半導体層に接して絶縁膜を形成する工程と、

前記第 1 の半導体層と前記第 2 の半導体層とに交差する第 1 のゲート配線と、前記第 1 のゲート配線上に積層された第 2 のゲート配線とを形成するゲート配線形成工程と、

前記第 1 のゲート電極を通過させないで、n 型の不純物を前記第 1 の半導体層に添加する第 1 の添加工程と、

前記第 1 及び第 2 のゲート配線をマスクにして、p 型の不純物を前記第 2 の半導体層に添加する第 2 の添加工程と、

前記第 1 のゲート配線を選択的に通過させて、前記 n 型の不純物を前記第 1 の半導体層に添加する第 3 の添加工程と、

を有し、

前記第 1 のゲート配線において、前記第 1 の半導体層と交差している部分の側面は前記絶縁膜となす角度が 3 度以上 6 0 度以下であることを特徴とする半導体装置の作製方法。

【請求項 1 2】 n チャネル型の薄膜トランジスタと p チャネル型薄膜トランジスタでなる CMOS 回路を備えた半導体装置の作製方法であって、

第 1 の半導体層と第 2 の半導体層を形成する工程と、

前記第 1 半導体層と前記第 2 の半導体層に接して絶縁膜を形成する工程と、

前記第 1 の半導体層と前記第 2 の半導体層とに交差する第 1 のゲート配線と、

前記第 1 のゲート配線上に積層された第 2 のゲート配線とを形成するゲート配線形成工程と、

前記第 1 のゲート電極を通過させないで、n 型の不純物を前記第 1 の半導体層に添加する第 1 の添加工程と、

前記第 1 のゲート配線を選択的に通過させて、前記 n 型の不純物を前記第 1 の半導体層に添加する第 2 の添加工程と、

前記第 1 及び第 2 のゲート配線をマスクにして、p 型の不純物を前記第 2 の半導体層に添加する第 3 の添加工程と、

を有し、

前記第 1 のゲート配線において、前記第 1 の半導体層と交差している部分の側面は前記絶縁膜となす角度が 3 度以上 6 0 度以下であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0 0 0 1】

【発明が属する技術分野】

本発明は薄膜トランジスタ（以下、T F T という）及び薄膜トランジスタで構成された回路を有する半導体装置に関する。半導体装置として例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器の構成に関する。なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器も半導体装置である。

【0 0 0 2】

【従来の技術】

近年、ポリシリコン膜を利用した T F T で回路を構成したアクティブマトリクス型液晶表示装置が注目されている。これはマトリクス状に配置された複数の画素によって液晶にかかる電界をマトリクス状に制御し、高精細な画像表示を実現するものである。

【0 0 0 3】

この様なアクティブマトリクス型液晶表示装置は、解像度が XGA、SXGA という

ように高精細になるに従い、画素数だけでも100万個を超えるようになる。そしてその全てを駆動するためのドライバ回路は非常に複雑かつ多くのTFTによって形成される。

【0004】

実際の液晶表示装置（液晶パネルともいう）に要求される仕様は厳しく、全ての画素が正常に動作するためには画素、ドライバともに高い信頼性が確保されなければならない。特に、ドライバ回路で異常が発生すると一列（または一行）の画素が全滅するといった線欠陥と呼ばれる不良となる。

【0005】

ところが、ポリシリコン膜を利用したTFTは信頼性の面でまだまだLSIなどに用いられるMOSFET（単結晶半導体基板上に形成されたトランジスタ）に及ばないとされている。そして、この弱点が克服されない限り、TFTでLSI回路を形成することは困難であるとの見方が強まっている。

【0006】

TFTの信頼性を向上させる構造として、GOLD（Gate Overlapped Light-doped Drain）やLTAD（Large-Tilt-Angle Implanted Drain）などが知られている。これらの構造の特徴はLDD領域とゲート電極とがオーバーラップしている点であり、こうすることでLDD領域の不純物濃度を低減することが可能となり、電界の緩和効果が大きくなってホットキャリア耐性が高まる。

【0007】

例えば、「M.Hatano,H.Akimoto,and T.Sakai,IEDM97 TECHNICAL DIGEST,p523-526,1997」ではシリコンで形成したサイドウォールを用いてGOLD構造のTFTを実現している。

【0008】

しかしながら、同論文に開示されたGOLD構造では通常のLDD構造に比べてオフ電流（TFTがオフ状態にある時に流れる電流）が大きくなってしまいうという問題があり、そのための対策が必要であった。

【0009】

【発明が解決しようとする課題】

本発明はGOLD構造TFETの欠点を解消し、オフ電流を減少させ、かつホットキャリア耐性の高いTFETを提供することを課題とする。そして、そのようなTFETで回路を形成した半導体回路を有する信頼性の高い半導体装置を実現することを課題とするものである。

【0010】

【課題を解決するための手段】

上述した課題を解決するために、本発明に係る薄膜トランジスタは、チャネルが形成される半導体層にソース領域またはドレイン領域として機能するn型又はp型の第1の不純物領域ほかに、チャネルと第1の不純物領域の間に2種類の第1の不純物領域と同じ導電型を示す不純物領域（第2、第3の不純物領域）を有する。これら第2、第3の不純物領域はその導電型を決める不純物濃度が第1の不純物領域よりも低く、高抵抗領域として機能する。

【0011】

第2の不純物領域はゲート絶縁膜を介してゲート電極と重なった低濃度不純物領域であり、ホットキャリア耐性を高める作用を有する。他方、第3の不純物領域はゲート電極と重ならない低濃度不純物領域であり、オフ電流の増加を防ぐ作用を有する。

【0012】

なお、ゲート電極とはゲート絶縁膜を挟んで半導体層と交差している電極であって、半導体層に電界を印可して空乏層を形成するための電極である。ゲート配線においては、ゲート絶縁膜を挟んで半導体層と交差している部分がゲート電極である。

【0013】

更に、本発明において、ゲート電極は、ゲート電極周囲は中央の平坦部から外側に向かって、その膜厚が線形に減少する。第2の不純物領域にはゲート電極のテーパ部を通して、導電型を付与する不純物が添加されるため、その濃度勾配はゲート電極側面の傾斜（膜厚の変化）を反映することとなる。すなわち、第2の不純物領域へ添加される不純物濃度はチャネル形成領域から第1の領域に向かって増加することとなる。

【0014】

本発明において、他のゲート電極の構成においては、ゲート絶縁膜に接する第1のゲート電極と、第1のゲート電極上に形成された第2のゲート電極が積層されている。この構成において、第1のゲート電極が側面かゲート絶縁膜となす角度は3度以上60度以下であるテーパー状となっている。他方、第2のゲート電極はチャンネル長方向の幅が第1のゲート電極よりも狭くなっている。

【0015】

上記の積層型のゲート電極を有する薄膜トランジスタにおいても、第2の不純物領域の不純物の濃度分布は第1のゲート電極の膜厚の変化を反映し、その不純物濃度はチャンネル形成領域から第1の領域に向かって増加することとなる。

【0016】

本発明に係る薄膜トランジスタは、半導体層に2種類の低濃度不純物領域を有することで、MOSFETに匹敵する、さらにはそれ以上の信頼性を有する。

【0017】

(本発明の薄膜トランジスタの利点) 図26を用いて、本発明の優位性を従来のTFETの特性と比較して説明する。

【0018】

上述したように本発明は、第2不純物領域（ゲートオーバーラップ型のLDD領域）と第3不純物領域（非ゲートオーバーラップ型のLDD領域）という2種類の低濃度不純物を半導体層に形成することに特徴がある。

【0019】

図26(A)、はLDD領域のないnチャンネル型TFETの模式図であり、同図(B)その電気特性（ゲート電圧 V_g 対ドレイン電流 I_d 特性）である。同様に、図26(C)、(D)は通常のLDD構造の場合を示し、図26(E)、(F)はいわゆるGOLD構造の場合を示し、図26(G)、(H)には本発明のnチャンネル型TFETの場合を示す。

【0020】

なお、図面中において n^+ はソース領域またはドレイン領域を示し、channelはチャンネル形成領域を示し、 n^- は n^+ よりも部順物濃度が低い低濃度不純物領域を

指す。また、 I_d はドレイン電流、 V_g はゲート電圧を示す。

【0021】

図26(A)、(B)に示すようにLDDがない場合、オフ電流(TFTがオフ状態にある時のドレイン電流)は高く、オン電流(TFTがオン状態にある時のドレイン電流)やオフ電流が劣化しやすい。

【0022】

一方ゲートオーバーラップ型のLDDを形成することで、オフ電流はかなり抑えられ、オン電流もオフ電流も劣化が抑制できる。しかしながら、オン電流の劣化を完全に抑えられているわけではない。(図26(C)、(D))

【0023】

LDD領域がゲート電極とオーバーラップしたオーバーラップ型のLDDのみを持つTFT構造(図26(C)、(D))であるが、この構造は従来のLDD構造においてオン電流の劣化を抑制することに重点を置いた構造となっている。

【0024】

この場合、オン電流の劣化を十分に抑えることができる反面、通常の非オーバーラップ型のLDD構造よりもややオフ電流が高いという問題を持つ。従来例で述べた論文はこの構造を採用しており、本発明はこのオフ電流が高いという問題を認識した上で、解決するための構造を模索したのである。

【0025】

そして、本発明の構造は図26(G)、(H)に示すように、ゲート電極とオーバーラップさせたLDD領域(第2の不純物領域)と、ゲート電極とオーバーラップしないLDD領域(第3の不純物領域)を半導体層に形成した。この構造を採用することで、オン電流の劣化を抑制する効果をそのままに、オフ電流を低減することが可能となった。

【0026】

本出願人は図26(E)、(F)に示したような構造の場合に何故オフ電流が高くなってしまいかを次のように推測した。nチャネル型TFTがオフ状態にある時、ゲート電極にはマイナス数十ボルトといった負の電圧が印加される。その状態でドレイン領域にプラス数十ボルトの正の電圧がかかると、ゲート

絶縁膜のドレイン側端部に非常に大きな電界が形成される。

【 0 0 2 7 】

この時、L D D 領域にはホールが誘起されて、ドレイン領域、L D D 領域、チャネル形成領域をつなぐ小数キャリアによる電流経路が形成されてしまう。この電流経路がオフ電流の増加を招くと予想される。

【 0 0 2 8 】

本出願人は、このような電流経路を途中で遮断するために、ゲート電極とオーバーラップしない位置に別の抵抗体、即ち第 3 の不純物領域 L D D 領域を形成する必要があると考えた。本発明はこのような構成を有する薄膜トランジスタと、この薄膜トランジスタを用いた回路に関するものである。

【 0 0 2 9 】

【発明の実施の形態】

図 1 ～図 7 を用いて、本発明の実施形態について説明する。

【 0 0 3 0 】

【実施形態 1】 本実施形態は T F T の作製工程について説明する。図 1 ～図 4 を用いて、本実施形態の作製工程を説明する。

【 0 0 3 1 】

まず、基板 1 0 0 全面に下地膜 1 0 1 を形成し、下地膜 1 0 1 上に、島状の半導体層 1 0 3 を形成する。半導体層 1 0 2 を覆って基板 1 0 0 全面に、ゲート絶縁膜となる絶縁膜 1 0 3 を形成する。（図 1 （A））

【 0 0 3 2 】

基板 1 0 0 には、ガラス基板、石英基板、結晶性ガラス基板、ステンレス基板、ポリエチレンテレフタレート（P E T）等の樹脂基板を用いることができる。

【 0 0 3 3 】

下地膜 1 0 1 は、半導体層 1 0 3 に基板からナトリウムイオンなどの不純物が拡散するのを防いだり、基板 1 0 0 上に形成される半導体膜の密着性を高めたりするための膜である。下地膜 1 0 1 には、酸化シリコン膜や、窒化シリコン膜、窒化酸化シリコン膜等の無機絶縁膜の単層又は多層膜が使用できる。

【 0 0 3 4 】

例えば、下地膜はCVD法やスパッタ法などで成膜した膜だけでなく、石英基板のような耐熱性基板を用いた場合には、非晶質シリコン膜を成膜し熱酸化して、酸化シリコン膜を形成することもできる。

【0035】

更に、上記の無機絶縁膜だけでなく、タングステンシリサイドなどのシリサイド、クロム、チタン、窒化チタン、窒化アルミニウムなどの金属や合金などの導電性膜を下層に、上記無機絶縁膜を上層に積層した多層膜を下地膜として用いることもできる。

【0036】

半導体層102の材料や結晶性はTFTに求められる特性に合わせて適宜選択すればよい。非晶質シリコン、非晶質シリコンゲルマニウム、非晶質ゲルマニウム、又はこれら非晶質半導体膜をレーザー照射や加熱処理によって結晶化させた結晶性シリコン、結晶性ゲルマニウムや結晶性シリコンゲルマニウムを用いることができる。半導体層102の厚さは10～150nmとすればよい。

【0037】

絶縁膜103はTFTのゲート絶縁膜を構成する膜であり、酸化シリコン、窒化シリコン、窒化酸化シリコンの無機絶縁膜の単層膜、多層膜である。例えば、積層膜とする場合には、窒化酸化シリコン膜と酸化シリコンの2層膜や、窒化シリコン膜を酸化シリコンで挟んだ積層膜などが用いられる。

【0038】

絶縁膜103の成膜手段としてはプラズマCVD法、ECRCVD法など化学気相法(CVD)やスパッタ法等の物理気相法(PVD)を用いればよい。

【0039】

絶縁膜103上には、ゲート電極(ゲート配線)を構成する第1の導電膜104、第2の導電膜105を形成する。(図1(B))

【0040】

第1の導電膜104はテーパー部を有する第1のゲート電極(第1のゲート配線)108を構成する。このため、テーパーエッチングが容易にできる材料が望まれる。例えば、クロム(Cr)、タンタル(Ta)を主成分(組成比が50%

以上)とする材料、リンを含有するn型のシリコンが代表的に用いられる。またチタン(Ti)、タングステン(W)、モリブデン(Mo)等を主成分とする材料を用いることができる。またこれらの材料の単層膜だけでなく、多層膜を用いることができ、例えば、タンタル膜を窒化タンタル(TaN)膜で挟んだ3層膜を用いることができる。

【0041】

第2の導電膜105は第2のゲート電極(第2のゲート配線)109を構成する膜であり、アルミニウム(Al)、銅(Cu)、クロム(Cr)、タンタル(Ta)チタン(Ti)、タングステン(W)、モリブデン(Mo)を主成分(組成比が50%以上)とする材料、リンを含有するn型のシリコン、シリサイド等の材料で形成することができる。ただし、第1の導電膜と第2の導電膜は互いのパターニングにおいて、エッチング選択比のある材料を選択する必要がある。

【0042】

例えば、第1の導電膜104/第2の導電膜105としては、n型Si/Ta、n型Si/Ta-Mo合金、Ta/Al、Ti/Al等の組み合わせを選択することができる。また、材料の選択する他の指標として、第2の導電膜105はできるだけ低効率の低い、少なくとも第1の導電膜104よりもシート抵抗が低い材料とすることが望まれる。これはゲート配線と上層配線とを接続させるために、第2のゲート配線と上層配線とでコンタクトをとるためである。

【0043】

次に、第2の導電膜105上にレジストマスク106を形成する。レジストマスク106を用いて第2の導電膜105をエッチングして第2のゲート電極109を形成する。エッチングには等方性のウェットエッチングを用いればよい。また、第1の導電膜104とエッチング選択比がとれる場合には、ドライエッチングを用いることもできる。(図1(C))

【0044】

同じレジストマスク106を用いて、第1の導電膜104を異方性エッチング(いわゆるテーパーエッチング)して、第1のゲート電極(第1のゲート配線)108を形成する。なお、このエッチング用に新しいレジストマスクを形成する

こともできる。

【0045】

このエッチングにより、図3に示すように、ゲート電極108の側面がゲート絶縁膜103となすテーパー角 θ は3度以上60度以下とされる。このテーパー角 θ は好ましくは5度以上45度以下、より好ましくは7度以上20度以下とする。角 θ が小さいほどゲート電極108のテーパー部の膜厚変化が小さくなり、これに対応して、において、半導体層のテーパー部と交差する部分において、n型又はp型の不純物濃度の変化が緩やかにすることができる。

【0046】

図3に示すようにテーパー角 θ はテーパー部の幅WG、厚さHGを用いて、 $\tan \theta = HG/LG$ と定義できる。

【0047】

レジストマスク106を除去し、ゲート電極108、109をマスクにして半導体層102に所定の導電型（n型又はp型）の不純物を添加する。添加方法としては、イオン注入法、イオンドーピング法を用いることができる。n型の不純物はドナーとなる不純物であり、シリコン、ゲルマニウムに対しては15族元素であり、典型的にはりん（P）、ひ素（As）である。p型の不純物はアクセプターとなる不純物であり、シリコン、ゲルマニウムに対しては13族元素であり、典型的にはボロン（B）である。

【0048】

ここでは、リンをイオンドーピング法にて添加し、 n^- 型の不純物領域111、112を形成する。この添加工程において、 n^- 型の第2の不純物領域124、125、 n^- 型の第3の不純物領域126、127におけるn型の不純物の濃度分布が決定される。（図2（A））

【0049】

n^- 型の不純物領域111、112には第1のゲート電極108のテーパー部を通過させてリンを添加するため、その濃度勾配は図示の通り、第1のゲート電極108のテーパー部の膜厚の変化を反映する。即ち、リンの深さ方向の濃度分布において、任意の濃度となる深さに注目した場合、その濃度勾配はゲート電

極のテーパー部の傾斜を反映したプロファイルになる。

【0050】

更に、後述するように、 n^- 型の不純物領域111、112の濃度勾配はドーピング時の加速電圧にも依存する。本発明では、リンを第1のゲート電極108のテーパー部及び絶縁膜103を通過させるため、ドーピングの加速電圧は80～160keVと高めに設定する必要がある。

【0051】

図2(A)では、 n^- 型の不純物領域111、112において第1のゲート電極108とオーバーラップしている領域はハッチングと白地で示されているが、これは、白地部分にリンが添加されていないということを示すのではなく、上述したように、この領域のリンの濃度分布が第1のゲート電極108のテーパー部の膜厚を反映していることを直感的に理解できるようにしたためである。なお、このことは本明細書の他の図面においても同様である。

【0052】

次にゲート電極108、109を覆ってレジストマスク120を形成する。このマスク120によって、第3の不純物領域の長さが決定される。レジストマスク120を介して、再びイオンドーピング法によりn型の不純物であるリンを半導体層102に添加する。(図2(B))

【0053】

レジストマスク120で覆われていない n^- 型不純物領域111、121に選択的にリンが添加されて、 n^+ 型の第1の不純物領域122、123が形成される。また第2のゲート電極109で覆われていた領域121は図2(A)、(B)の添加工程でリンが添加されないため、チャネル形成領域となる。

【0054】

また、 n^- 型の不純物領域111、112において、図2(B)の添加工程でリンが添加されなかった領域は、ソース/ドレイン領域よりも高抵抗な低濃度不純物124～127となる。

【0055】

第1のゲート電極108と重なっている(オーバーラップ)している領域12

4、125は n^- 型の第2の不純物領域となり、第1の電極108と重なっていない領域は n^- 型の第3の不純物領域126、127となる。

【0056】

なお、図2（B）の添加工程に先立ってゲート配線をマスクにして、絶縁膜103をエッチングして、半導体層102表面を露出させても良い。

【0057】

図4に示すように、第2の不純物領域124は4つのタイプに分類できる。これらを区別するため、図4においてA、B、C、Dの指標を付けた。なお、図4には図示されないがゲート電極109を挟んで対照的に形成されている他方の第2の不純物領域125も領域124と同様である。

【0058】

図4（A）に示すように、第2の不純物領域124Aにおけるリンの濃度は第1のゲート電極108のテーパ部の膜厚の変化に対応して逆比例し、第1の不純物領域122からチャネル形成領域121Aに向かってほぼ線形的に減少している。即ち、第2の不純物領域124Aリンの濃度を深さ方向に平均化した場合、平均化されたリンの濃度はチャネル形成領域121Aから第3の不純物領域126Aに向かって増加する。

【0059】

この場合、第3の不純物領域126Aにおいて、膜厚方向に平均かしたリン濃度は領域126Aでほぼ均一になる。また、第2のゲート電極109に覆われている半導体層にはリンが全く添加されないため、この領域がチャネル形成領域121Aとなり、チャネル長 L_A は第2のゲート電極109のチャネル長方向の幅になる。

【0060】

また、図2（A）のリン添加工程で、図4（A）の場合よりも加速電圧を大きくすることにより、図4（B）に示すように、第2の不純物領域124Bには、チャネル形成領域122Bとの接合部分にもリンが添加される。この場合も、チャネル形成領域121Bは第2のゲート電極109で覆われた領域であり、チャネル長 L_B は第2のゲート電極109のチャネル長方向の幅になる。また、図4（

A)と同じ加速電圧であっても、テーパー角が小さい場合やテーパー部の膜厚が薄い場合にも、第2の不純物領域124Bを形成することができる。

【0061】

更に加速電圧を大きくすることにより、図4(C)に示すように、第2の不純物領域124Bにおいて、膜厚方向に平均化したリン濃度を均一がすることもできる。この場合は、チャンネル長LCは第2のゲート電極109のチャンネル長方向の幅になる。

【0062】

また、図2(A)のリン添加工程で、図4(A)の場合よりも加速電圧を小さくすると、図4(D)に示すように、リンは第1のゲート電極108のテーパー部の膜厚が薄い部分しか通過できないため、第2の不純物領域124Dは図4(A)よりも狭くなる。

【0063】

第2の不純物領域124Dにおいて、深さ方向に平均化されたリンの濃度は図4(A)と同様に、第3の不純物領域126Dからチャンネル形成領域121Dに向かって徐々に減少する。しかし図4(D)の場合には図4(A)と異なり、第2の不純物領域124Dとチャンネル形成領域121Dとの接合部は第1のゲート電極108のテーパー部の下に存在する。このため、チャンネル長LDは第2のゲート電極109のチャンネル長方向の幅よりも広くなる。

【0064】

なお、図4(A)と同じ加速電圧であっても、テーパー角が大きい場合や、第1のゲート電極108の膜厚が厚い場合にも、図4(D)の第2の不純物領域124Dを形成することができる。

【0065】

ここで、第1不純物領域122、123の長さ(チャンネル長方向)は2~20 μm (代表的には3~10 μm)である。半導体層に導電性を与える不純物(この場合にはリンである)の濃度は $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $1 \times 10^{20} \sim 5 \times 10^{20} \text{ atoms/cm}^3$)である。この第1不純物領域122、123はソース配線又はドレイン配線とTFTとを電氣的に接続させるための低抵

抗領域であり、ソース領域又はドレイン領域となる。

【0066】

また、第2不純物領域124、125の長さは0.1～1 μ m（代表的には0.1～0.5 μ m、好ましくは0.1～0.2 μ m）であり、リンの濃度は $1 \times 10^{15} \sim 1 \times 10^{17}$ atoms/cm³（代表的には $5 \times 10^{15} \sim 5 \times 10^{16}$ atoms/cm³、好ましくは $1 \times 10^{16} \sim 2 \times 10^{16}$ atoms/cm³）であり、第1のゲート電極108を通して不純物が添加されるため、リンの濃度は第1、第3の不純物領域よりも低くなる。

【0067】

また、第3不純物領域126、127の長さは0.5～2 μ m（代表的には1～1.5 μ m）であり、リンの濃度は $1 \times 10^{16} \sim 1 \times 10^{19}$ atoms/cm³（代表的には $1 \times 10^{17} \sim 5 \times 10^{18}$ atoms/cm³、好ましくは $5 \times 10^{17} \sim 1 \times 10^{18}$ atoms/cm³）である。

【0068】

また、チャネル形成領域122は真性半導体層であり、第1の不純物に添加された不純物（リン）を含まない領域、又はボロンを $1 \times 10^{16} \sim 5 \times 10^{18}$ atoms/cm³の濃度で含む領域である。ボロンはしきい値電圧の制御用やパンチスルー防止用の不純物であり、同様の効果を生むものであれば他の元素で代用することもできる。その場合も濃度はボロンと同じになる。

【0069】

なお、第1の不純物領域122、123と第2の不純物領域124、125の間に、ゲート電極と重ならない低濃度不純物領域（第3の不純物領域126、127）を1つ形成したが、この部分に、不純物濃度が互いに異なる不純物領域を2以上形成することもできる。本発明では、少なくとも第1の不純物領域122、123と第2の不純物領域124、125の間に、第1の不純物領域122、123よりも不純物（リン）濃度が低い不純物領域、即ち第1の不純物領域122、123よりも抵抗が高い不純物領域が少なくとも1つ存在すればよい。もちろん、この高抵抗な不純物領域（第3の不純物領域）がゲート電極に重ならないことも重要である。

【0070】

第1の不純物領域122、123が形成したら、レジストマスク120を除去する。熱処理して、半導体層152に添加されたリンを活性化する。活性化工程には、熱処理だけでなくレーザや、赤外ランプ光による光アニールを行うこともできる。

【0071】

次に、酸化シリコン等なる層間絶縁膜130を形成する。ゲート絶縁膜103、層間絶縁膜130に第1の不純物領域122、163、及び第2のゲート配線109に達するコンタクトホールを形成する。そして、ソース電極131、ドレイン電極132、及び図示しないゲート配線の取り出し電極を形成する。

【0072】

〔実施形態2〕 図5、図6を用いて、本実施形態はTF Tの作製工程について説明する。本実施形態は実施形態1の変形例であり、ゲート電極（ゲート配線）の構造を変形したものであり、他の主要構造は実施形態1と同様である。

【0073】

実施形態1ではゲート電極は幅の異なる2つのゲート電極が積層された構造であったが、本実施形態は上部の第2の電極を省略し、テーパー部を有する第1のゲート電極のみでゲート電極を形成する。

【0074】

まず、基板150全面に下地膜151を形成し、下地膜151上に、島状の半導体層152を形成する。半導体層152を覆って基板150全面に、ゲート絶縁膜となる絶縁膜153を形成する。（図5（A））

【0075】

ゲート絶縁膜153上にゲート電極（ゲート配線）を構成する導電膜154を形成する。この導電膜154は、テーパーエッチングが容易にできる材料が望まれる。例えば、クロム（Cr）、タンタル（Ta）を主成分（組成比が50%以上）とする材料、リンを含有するn型のシリコンが代表的に用いられる。またチタン（Ti）、タングステン（W）、モリブデン（Mo）等を主成分とする材料を用いることができる。またこれらの材料の単層膜だけでなく、多層膜を用いる

ことができ、例えば、タンタル膜を窒化タンタル (Ta₂N₅) 膜で挟んだ3層膜を用いることができる。(図5(B))

【0076】

次に、導電膜154上にレジストマスク155を形成する。マスク155を用いて導電膜154をエッチングしてゲート電極(ゲート配線)156を形成する。(図5(C))

【0077】

このエッチングにより、図3に示すように、ゲート電極156の側面がゲート絶縁膜となすテーパー角 θ は3度以上60度以下とされる。このテーパー角 θ は好ましくは5度以上45度以下、より好ましくは7度以上20度以下とする。

【0078】

レジストマスク155が存在した状態で、半導体層152に所定の導電型(n型又はp型)の不純物を添加する。ここでは、リンをイオンドーピング法にて添加し、n⁻型の不純物領域158、159形成する。この添加工程において、n⁻型の第2の不純物領域164、165、n⁻型の第3の不純物領域166、167の濃度分布が決定される。また、後述するがレジストマスク155で覆われている領域は、チャネル形成領域161となる。(図6(A))

【0079】

第2のゲート電極が存在しないため、この添加工程には、半導体層152のチャネルが形成される領域にリンが添加されるのを防ぐためのマスクが必要である。このようなマスクとして導電膜154のエッチングに用いたレジストマスク155を用いたが、不純物添加用に新たに形成することもできる。

【0080】

次に、レジストマスク155を除去し、ゲート電極156を覆ってレジストマスク160を形成する。レジストマスク160を介して、再びイオンドーピング法によりn型の不純物であるリンを半導体層152に添加するため、レジストマスク160によって、第3の不純物領域の長さが決定される。なおこの添加工程に先立って、ゲート配線156をマスクにして絶縁膜153をエッチングして、半導体層152表面を露出させても良い。(図6(B))

【0081】

図6 (B) に示すように、レジストマスク 160 で覆われていない n^- 型不純物領域 158、159 に選択的にリンが添加されて、 n^+ 型の第1の不純物領域 162、163 が形成される。

【0082】

またレジストマスク 160 で覆われていた領域 161 は、導電型、抵抗値が図6 (A) の状態が保たれ、先にレジストマスク 155 で覆われていた領域 161 はチャンネル形成領域となる。ゲート電極 156 と重なっている（オーバーラップ）領域は、 n^- 型の第2の不純物領域 164、165 となり、第1の電極 108 と重なっていない領域は n^- 型の第3の不純物領域 166、167 となる。第2、第3の不純物領域 164～167 は第1の不純物領域 162、163 よりも高抵抗な低濃度不純物領域である。

【0083】

本実施形態でも、実施形態1と同様に第2の不純物領域 164、165 は図4に示した4つのタイプに分類できる。また、チャンネル形成領域 161、第1～第3の不純物領域 162～167 について、チャンネル長方向の長さや不純物濃度は実施形態と同様である。ただし、本実施形態では、チャンネル長は第2のゲート電極 109 に代わって、図6 (A) の添加工程に用いたレジストマスク 155 で決定される。

【0084】

実施形態1のゲート電極は積層構造を有するため、第1のゲート電極 108 の厚さを薄くしても、第2のゲート電極 109 を厚くすることで低抵抗化が可能であるが、本実施形態のゲート電極 156 はテーパー部を有する単層電極であるため、その膜厚は第1のゲート電極 108 よりも厚くなってしまう。

【0085】

ゲート電極幅を考慮するとテーパー部の幅WG（図3参照）の長さには限度があるので、第2の不純物領域 164、165 の不純物の濃度分布は図4 (D) に示すタイプとするのが最も実用的である。

【0086】

なお、第1の不純物領域162、163と第2の不純物領域164、165の間に、ゲート電極と重ならない低濃度不純物領域（第3の不純物領域166、167）を1つ形成したが、この部分に、不純物濃度が互い異なるような不純物領域を2以上の形成しても良い。本発明では、少なくとも第1の不純物領域162、163と第2の不純物領域164、165の間に、第1の不純物領域162、163よりも不純物（リン）濃度が低く、抵抗が高い不純物領域が少なくとも1つ存在すればよい。

【0087】

第1の不純物領域162、163を形成した後レジストマスク160を除去する。熱処理して、半導体層152に添加されたリンを活性化する。活性化工程には、熱処理だけでなくレーザや、赤外ランプ光による光アニールを行うこともできる。ただし、第2の不純物領域164、165内のリンを活性化するには、ゲート電極156と重なっているため、必ず熱処理が必要である。

【0088】

次に、酸化シリコン等なる層間絶縁膜170を形成する。ゲート絶縁膜153、層間絶縁膜170に第1の不純物領域162、163、ゲート配線156に達するコンタクトホールを形成する。そして、ソース電極171、ドレイン電極172、及び図示しないゲート配線156の取り出し電極を形成する。

【0089】

〔実施形態3〕 図7を本実施形態はTFTの作製工程について説明する。本実施形態も実施形態1の変形例であり、ゲート電極（ゲート配線）の構造の変形したものであり、他の主要構造は実施形態1と同様である。なお図7において、図1、図2と同じ符号は同じ構成要素を示している。

【0090】

本実施形態のゲート電極は実施形態1と同様に、第1のゲート電極191と第2のゲート電極192が積層した構造を持つが、第1のゲート電極191の側面をテーパー状にしない例であり、本実施形態では第1のゲート電極191が第2のゲート電極192側面から外側に延びている部分でも膜厚がほぼ一定になっている。

【0091】

半導体層には、実施形態と同様のリンの添加を経て、チャネル形成領域 181、 n^+ 型の第 1 の不純物領域 182、183、 n^- 型の第 2 の不純物領域 184、185、 n^- 型の第 3 の不純物領域 186、187 が形成される。

【0092】

本実施形態では、第 1 のゲート電極 191 の膜厚は一定とされるため、第 2 の不純物領域 184、185 では不純物濃度に勾配がほとんどない。

【0093】

なお、実施形態 1～3 に記載の TFT の構成は、以下に示す本発明の全ての実施例に適用できるのは、いうまでもない。

【0094】

【実施例】 図 8～図 25 を用いて本発明の実施例を詳細に説明する。

【0095】

【実施例 1】 本実施例は本発明をアクティブマトリクス型の液晶表示装置に適用した例を説明する。

【0096】

図 8 は本実施例のアクティブマトリクス型液晶パネルの概略の構成図である。液晶パネルは、アクティブマトリクス基板と対向基板との間に液晶が挟まれた構造を有し、アクティブマトリクス基板と対向基板に形成された電極により、映像データに対応した電圧を液晶に印加し、パネルに映像を表示することができる。

【0097】

アクティブマトリクス基板 200 は、ガラス基板 300 上に画素マトリクス回路 202、画素マトリクス回路 202 を駆動するためのゲートドライバ回路 203 及びソースドライバ回路 204 が形成されている。ドライバ回路 203、204 はそれぞれソース配線、ドレイン配線によって画素マトリクス回路 202 に接続されている。

【0098】

更に、ガラス基板 300 上には、ドライバ回路 203、204 に入力される信

号を処理する信号処理回路 205、ドライバ回路 202、203、信号処理回路 205へ電力や制御信号を入力するための外部端子が形成され、この外部端子に FPC 206 が接続されている。

【0099】

対向基板 210 においては、ガラス基板全面に ITO 膜等の透明導電膜が形成されている。透明導電膜は画素マトリクス回路 202 の画素電極に対する対向電極であり、画素電極、対向電極間に形成された電界によって液晶材料が駆動される。更に、対向基板 210 には必要であれば配向膜や、カラーフィルタが形成されている。

【0100】

図 9 (A) は画素マトリクス回路の一画素の等価回路であり、図 9 (B) は画素マトリクス回路 301 の上面図である。図 9 (B) はドライバ回路 202、203 を構成する CMOS 回路の上面図である。

【0101】

図 10 はアクティブマトリクス基板の断面図である。図 10 (A) は画素マトリクス回路 201 の断面図であり、図 9 (B) の鎖線 X-X' に沿った断面に対応する。図 10 (B) は CMOS 回路の断面図であり、図 9 (C) の鎖線 Y-Y' に沿った断面に対応する。図 10 に示すように、画素 TFT 及び CMOS 回路の薄膜トランジスタは同一のガラス基板 300 上に同時に作製される。

【0102】

画素マトリクス回路 202 において、ゲート配線 350 が行ごとに形成され、ソース配線 380 が列ごとに形成されている。ゲート配線 350、ソース配線 380 の交差部近傍には、画素 TFT 210 が形成されている。画素 TFT 210 のソース領域にはソース配線 380 に接続され、ドレイン領域には液晶セル 230、保持容量 240 という 2 つのコンデンサーが接続されている。

【0103】

液晶セル 230 は画素電極 390 と対向基板 210 の透明電極を電極対に、液晶を誘電体とするコンデンサー構造を有し、画素電極 390 によって画素 TFT 210 に電氣的に接続されている。保持容量 230 は、共通配線 360 と、画素

TFT210の半導体層に形成されるチャネルを電極対に、ゲート絶縁膜を誘電体とするコンデンサ構造を有する。

【0104】

図11～図14を用いて、本実施例のアクティブマトリクス基板の作製工程を説明する。図11、12は画素マトリクス回路の作製工程を示す断面図であり、図13、図14はCMOS回路の作製工程を示す断面図である。

【0105】

ガラス基板300を用意する。本実施例ではコーニング社製1737ガラス基板を用いる。ガラス基板300表面に接して、プラズマCVD法で、TEOSガスを原料に厚さ200nmの酸化シリコン膜を下地膜301として形成する。そして、下地膜301を400℃、4時間加熱する。

【0106】

下地膜301上にPECVD法により H_2 ガスで希釈した SiH_4 を用いて、厚さ500nmの非晶質シリコン膜を成膜する。次に、非晶質シリコン膜を450℃、1時間加熱して水素出し処理をする。非晶質シリコン膜内の水素原子は5原子%以下、好ましくは1%以下とする。水素出し処理後の非晶質シリコン膜にエキシマレーザー光を照射して結晶性（多結晶）シリコン膜401を形成する。レーザー結晶化の条件は、レーザー光源としてXeClエキシマレーザーを用い、光学系によりレーザー光を線状に整形し、パルス周波数を30Hz、オーバーラップ率を96%、レーザーエネルギー密度を 359 mJ/cm^2 とする。（図11（A）、図13（A））

【0107】

非晶質シリコン膜の成膜方法はPECVD法の他に、LPCVD法やスパッタ法を用いることができる。また、非晶質シリコンを結晶化させるレーザーにはエキシマレーザーのようなパルス発振型その他、Arレーザーのような連続発振型のレーザーを用いても良い。また、レーザー結晶化の代わりにハロゲンランプや水銀ランプを用いるランプアニール工程、あるいは600℃以上の加熱処理工程を用いることもできる。

【0108】

次に、フォトリソ工程用いて図示しないフォトレジストパターンを形成し、このフォトレジストパターンを用いて結晶性シリコン膜401を島状にパターニングして、半導体層302、303、304を形成する。半導体層302、303、304を覆って、ゲート絶縁膜305として、窒化酸化シリコンを成膜する。成膜方法はPECVDとし、原料ガスに SiH_4 と NO_2 を用いた。窒化酸化シリコン膜の厚さは120nmとする。(図11(B)、図13(B))

【0109】

ゲート絶縁膜305上にリンを含有するn型のシリコン膜402、モリブデン-タングステン合金(Mo-W)膜403の積層膜をスパッタ法で成膜する。シリコン膜402の厚さは200nmとし、Mo-W膜403の厚さは250nmとする。Mo-W膜403のターゲット材料はMoとWの組成比が1:1とした。(図11(C)、図13(C))

【0110】

Mo-W膜403上にレジストマスク405を形成する。レジストマスク405を用いてMo-W膜403をウェットエッチングし、画素TFTのゲート配線、共通配線、CMOS回路のゲート配線の上部配線である第2のゲート配線352、第2の共通配線362、第2のゲート配線372を形成する。(図11(D)、図13(D))

【0111】

再度レジストマスク405を用いて、塩素系のガスを用いた異方性エッチングを行い、n型シリコン膜402をエッチングし、第1のゲート配線351、第2の共通配線361、第1のゲート配線372を形成する。このとき各配線351、361、371の側面がゲート配線絶縁膜305となす角(テーパ角) θ が20度になるようにし、側部にテーパ部を形成する。(図11(E)、図13(E))

【0112】

レジストマスク405を除去した後、配線350、360、371をマスクにして、イオンドーピング法により半導体層302~304にリンを添加し、 n^- 型領域406~413を自己整合的に形成する。このリンの添加工程では、第1

の電極 351、361、371 のテーパー部（第 2 の電極 352、362、372 の側面よりも外側にある部分）とゲート絶縁膜 305 を通過させて、リンを添加するため、加速電圧を高めにし、90 KeV とする。

【0113】

n^- 型の不純物領域 406～413 のリン濃度が最終的な TFT の n^- 型の低濃度不純物領域のリン濃度を決定するため、ドーズ量は低濃度とし、 n^- 型不純物領域 406～413 において、電極 350、360、370 と交差していない領域のリンの濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ となるようにした。ドーピングガスには水素で希釈したホスフィンを用いる。

【0114】

次に、電極 350、360、370 を覆うレジストマスク 415 を形成する。マスク 415 が各電極の第 1 の電極 351、361、371 の側面よりも外側に延びた長さによって、第 1 の電極 351、361、371 とオーバーラップしない n^- 型の低濃度不純物領域の長さが決定される。ここでは、CMOS 回路の半導体層 304 上にはレジストマスクを形成しない。

【0115】

レジストマスク 415 を用いて、イオンドーピング法によりリンを添加する。この添加工程においても、水素で希釈したホスフィンをドーピングガスに用いた。また、リンがゲート絶縁膜 305 を通過できるようにするため、加速電圧は 80 keV と高めに設定し、この工程で形成される n^+ 型の不純物領域 313～315、332、333、321、322 のリンの濃度が $5 \times 10^{20} \text{ atoms/cm}^3$ となるようにドーズ量を設定した。

【0116】

画素マトリクス回路 202 において、半導体層 302 の n^- 型の不純物領域 406～409 にリンが選択的に添加され、 n^+ 型の不純物領域 312～324 が形成される。他方、 n^- 型の不純物領域 406～409 において、リンが添加されなかった領域は高抵抗領域として機能し、第 1 のゲート電極 351、第 1 の共通電極と重なっている n^- 型不純物領域 316～319 と 326、327 と、第 1 のゲート電極 351、第 1 の共通電極 261 と重なっていない n^- 型不純物領

域320～323、328として画定する。更に、2回のリン添加工程でリンが添加されなかった領域311、312、325がチャンネル形成領域として画定する。(図12(A))

【0117】

n^- 型不純物領域316～319はリンの濃度が n^- 型不純物領域320～323より低く、またリンの濃度は n^- 型不純物領域320～323からチャンネル形成領域311、312に向かって低くなっている。

【0118】

CMOS回路において、 n チャンネル型TFTの半導体層303の n^- 型不純物領域410、411にもリンが選択的に添加され、 n^+ 型の不純物領域322、323が形成される。他方、 n^- 型の不純物領域410、411において、リンが添加されなかった領域は高抵抗領域として機能し、第1のゲート電極371と重なっている n^- 型不純物領域324、325と、第1のゲート電極371と重なっていない n^- 型不純物領域326、327として画定する。2回のリン添加工程でリンが添加されなかった領域321はチャンネル形成領域として画定する。

【0119】

n^- 型不純物領域324、325はリンの濃度が n^- 型不純物領域326、327より低く、またリンの濃度は n^- 型不純物領域326、327からチャンネル形成領域321に向かって低くなっている。

【0120】

また、 p チャンネル型TFTの半導体層304においては、ゲート電極370が上に存在する部分にはリンがほとんど添加されず、ゲート電極370がその上部に存在しない部分に n^+ 型領域421、422が形成され、第1のゲート電極371の下部には n^- 型の不純物領域が残存する。(図14(A))

【0121】

レジストマスク415を除去した後、 n チャンネル型TFTを覆うレジストマスク416を形成する。 p チャンネル型TFTの第2のゲート電極372をマスクにして、半導体層305側の第1のゲート電極371をエッチングによって細らせ、第3のゲート電極373を形成する。(図12(B)、図14(B))

【0122】

第3のゲート電極373の側面がゲート配線305となすテーパー角 θ が75度となった。この第3の電極373のテーパー角は60度以上90度以下とし、より好ましくは70度以上85以下とする。

【0123】

レジストマスク416を残存させた状態で、半導体層304にボロンとイオンドーピング法で添加する。ゲート電極371、373がマスクとして機能して、チャンネル形成領域431、 p^+ 型不純物領域432、433、 p^+ 型不純物領域344、345が自己整合的に形成される。なお、レジストマスク416を除去し、別途新しいレジストマスクを形成しても良い。(図12(C)、図14(C))

【0124】

ボロンの添加工程では、加速電圧を80keVに設定し、ドーズ量は p^+ 型不純物領域342～345のボロン濃度が $3 \times 10^{21} \text{atoms/cm}^3$ となるように設定した。ドーピングガスには水素で希釈したジボランを用いたことで、 p^+ 型不純物領域344、345は p^+ 型不純物領域432、433とボロン濃度は同じであるが、リン濃度が低くなっている。 p^+ 型不純物領域344、345の濃度分布は第1のゲート電極371のテーパー部の膜厚変化に対応し、チャンネル形成領域341に向かって低くなっている。

【0125】

レジストマスク416を除去した後、500℃で加熱して半導体層に添加したリン、ボロンを活性化する。加熱処理に先立って、ゲート配線350、共通電極360、ゲート配線370の酸化を防止するために、厚さ50nmでなる酸化シリコンでなる保護膜306を形成する。(図12(C)、図14(C))

【0126】

次に、層間絶縁膜307として、PECVD法で厚さ20nmの窒化シリコン膜、厚さ900nmの酸化シリコン膜を積層して成膜する。層間絶縁膜397、保護膜306、ゲート絶縁膜305に n^+ 型不純物領域313～315、 n^+ 型不純物領域322、421、 p^+ 型不純物領域332、333及び第2のゲート

配線 371 に達するコンタクトホールを形成する。

【0127】

層間絶縁膜 111 上にチタン (150 nm) / アルミニウム (500 nm) / チタン (100 nm) でなる積層膜をスパッタ法で成膜し、パターニングして、ソース配線 380、ドレイン電極 381、ソース電極 384、385、ドレイン電極 386 を形成する。以上により、CMOS 回路と画素 TFT 210、保持容量 230 が同一のガラス基板 300 上に作製される。(図 12 (E)、図 14 (E))

【0128】

アクティブマトリクス基板を完成するには、更に、基板 300 全面に平坦化膜 308 を形成する。ここでは、アクリルをスピコート法で塗布し、焼成して厚さ 1 μ m のアクリル膜を形成する。平坦化膜 308 に CMOS 回路のソース電極 384、385 及に対するコンタクトホールを開口する。スパッタ法によって厚さ 200 nm のチタンを成膜しパターニングしてソース配線 387、388 を形成する。

【0129】

次に、第 1 の平坦化膜 308 と同様にして、厚さ 0.5 μ m のアクリルを第 2 の平坦化膜 309 として形成する。平坦化膜 308、309 にドレイン電極 381 に対するコンタクトホールを形成する。スパッタ法で ITO 膜を成膜し、パターニングして、ドレイン電極 381 に接続された画素電極 390 を形成する。(図 10 (A)、(B))

【0130】

本実施例では p チャネル型 TFT に対して高抵抗領域として機能する低濃度不純物領域を形成していないが、p チャネル型 TFT は元来高抵抗領域がなくとも、信頼性が高いので問題はなく、かえって高抵抗領域形成しないほうがオン電流を稼ぐことができ、n チャネル型 TFT との特性との釣り合いがとれ、都合が良い。

【0131】

[実施例 2] 本実施例は実施例 1 の変形例であり、リンとボロンの添加工程の

順序を変えたものであり、他は実施例 1 と同様である。図 15 を用いて本実施例の作製工程を説明する。また図 15 において、図 13、図 14 と同じ符号は同じ構成要素を示す。

【0132】

実施例 1 では、リンを半導体層に添加してから、ボロンを添加したが、本実施例ではボロンを先に添加する。

【0133】

本実施例では CMOS 回路の作製工程を説明するが、実施例のように画素マトリクス回路とドライバ回路が一体化したアクティブマトリクス基板の作製工程に本実施例を適用できるのはいうまでもない。

【0134】

実施例 1 で示した工程に従って図 13 (E) の構成を得る。図 13 (E) に対応する。次にレジストマスク 405 を除去する。図 15 (A) にこの状態を示す。(図 15 (A))

【0135】

次に、nチャネル型 TFT を覆うレジストマスク 451 を形成する。レジストマスク 451 を用いて、半導体層 304 にボロンをイオンドーピング法で添加する。ゲート電極 371、372 がマスクとして機能し、半導体層 304 にチャネル形成領域 501、ソース領域、ドレイン領域として機能する p^+ 型不純物領域 502、503 が自己整合的に形成される。

【0136】

加速電圧は 80 keV とし、ドーズ量は p^+ 型不純物領域 501、502 のボロン濃度が $3 \times 10^{20}\text{ atoms/cm}^3$ となるように設定した。ここで、 p^+ 型不純物領域 502、503 はドーピング時のボロンの回り込み、ゲート電極 371 の側部の膜厚の薄さのため、下部にも若干重なっていると予想される。(図 15 (B))

【0137】

レジストマスク 451 を除去した後、pチャネル型 TFT を覆うレジストマスク 452 を形成する。そして、イオンドーピング法により半導体層 303 にリン

を添加し、 n^- 型領域 453、454 を自己整合的に形成する。加速電圧は 90 KeV とすし、ドーズ量は n^- 型不純物領域 453、454 のリン濃度が $1 \times 10^{18} \text{atoms/cm}^3$ となるように設定した。また、ドーピングガスには水素で希釈したホスフィンを用いる。(図 15 (C))

【0138】

次に、レジストマスク 452 を除去して、新たに p チャネル型 TFT 全体と、 n チャネル型 TFT を部分的に覆うレジストマスク 456 を形成する。 n チャネル型 TFT において、マスク 456 が第 1 のゲート電極 371 の側面よりも外側に延びた長さが、第 1 のゲート電極 371 とオーバーラップしない n^- 型不純物領域の長さを決定する。

【0139】

レジストマスク 456 を用いて、イオンドーピング法によりリンを添加する。この添加工程においても、ドーピングガスに水素で希釈したホスフィンを用いた。

【0140】

CMOS 回路において、 n チャネル型 TFT の半導体層 303 の n^- 型不純物領域 453、454 にリンが選択的に添加され、 n^+ 型の不純物領域 512、513 が形成される。この工程では、リンをゲート絶縁膜 305 を通過させるため、加速電圧は 80 keV と高めにする。また n^+ 型不純物領域 512、513 のリンの濃度が $5 \times 10^{20} \text{atoms/cm}^3$ となるようにドーズ量を設定した。

【0141】

他方、 n^- 型の不純物領域 453、454 において、リンが添加されなかった領域は高抵抗領域として機能し、第 1 のゲート電極 371 と重なっている n^- 型不純物領域 514、515 と、第 1 のゲート電極 371 と重なっていない n^- 型不純物領域 516、517 として画定する。また 2 回のリン添加工程でリンが添加されなかった領域 511 はチャネル形成領域として画定する。(図 15 (D))

【0142】

本実施例でもゲート電極 371 と重なっている n^- 型不純物領域 514、51

5は、リン濃度が n^- 型不純物領域516、517（及び n^+ 型不純物領域512、513）よりも低く、またリンの濃度はチャネル形成領域511に向かって低くなっている。

【0143】

レジストマスク416を除去した後、厚さ50nmでなる酸化シリコンでなる保護膜306を形成し、加熱処理して半導体層に添加したリン、ボロンを活性化させる。層間絶縁膜307を形成し、コンタクトホールを開口して、ソース電極84、385、ドレイン電極386を形成する。以上により、CMOS回路が作製される。（図15（E））

【0144】

本実施例では、pチャネル型TFETの第1のゲート電極を細らせる工程を省略することができる。なお、図15（B）のボロンの添加工程を行う前に、pチャネル型TFETの第1のゲート電極371を第2のゲート電極372をマスクにしてエッチングして、第3のゲート電極373を形成する工程を追加することもできる。

【0145】

【実施例3】 本実施例も実施例2と同様に、リン、ボロンの添加工程の順序を変えた作製工程を説明する。図16を用いて本実施例の作製工程を説明する。また図16において、図13、図14と同じ符号は同じ構成要素を示す。

【0146】

また、本実施例は実施例2の変形例にも対応する。実施例2では、nチャネル型TFETを作製するのに、リンを低濃度で添加した後、ボロンを添加しようとしたが、本実施例では先にボロンを高濃度に添加しようとした例である。

【0147】

実施例1で示した工程に従って図13（E）の構成を得る。次にレジストマスク405を除去する。図16（A）にこの状態を示す。（図16（A））

【0148】

次に、nチャネル型TFETを覆うレジストマスク600を形成する。レジストマスク600を用いて、半導体層304にボロンをイオンドーピング法で添加す

る。ゲート電極 371、372 がマスクとして機能し、半導体層 304 にチャネル形成領域 601、ソース領域、ドレイン領域として機能する p^+ 型不純物領域 602、603 が自己整合的に形成される。ドーピングの加速電圧は 80 keV とし、ドーズ量は p^+ 型不純物領域 501、502 のボロン濃度が $2 \times 10^{20}\text{ atoms/cm}^3$ となるように設定した。

【0149】

p チャネル型 TFT 全体と、 n チャネル型 TFT を部分的に覆うレジストマスク 640 を形成する。レジストマスク 640 を用いて、イオンドーピング法によりリンを添加する。この添加工程においても、水素で希釈したホスフィンを用いた。リンをゲート絶縁膜 305 を通過させるため、加速電圧は 80 keV と高めにする。(図 16 (C))

【0150】

レジストマスク 605 を除去した後、 p チャネル型 TFT を覆うレジストマスク 608 を形成する。そして、イオンドーピング法により半導体層 303 にリンを添加する。ゲート電極 370 がマスクとして機能し、チャネル形成領域 611、 n^- 型不純物領域 614、615、 n^- 型不純物領域 616、617 が自己整合的に形成される。

【0151】

n^+ 型不純物領域 612、613 はソース／ドレイン領域として機能し、リンの濃度が $5 \times 10^{20}\text{ atoms/cm}^3$ となるようにして低抵抗化する。 n^- 型不純物領域 614～617 は n^+ 型不純物領域 612、613 よりもリン濃度を低くし、高抵抗化する。第 1 のゲート電極 371 と重なっていない n^- 型不純物領域 616、617 のリン濃度を $1 \times 10^{18}\text{ atoms/cm}^3$ とする。(図 16 (D))

【0152】

レジストマスク 608 を除去した後、厚さ 50 nm となる酸化シリコンでなる保護膜 306 を形成し、加熱処理して半導体層に添加したリン、ボロンを活性化させる。層間絶縁膜 307 を形成し、コンタクトホールを開口して、ソース配線 3

84、385及びドレイン電極386を形成する。以上により、CMOS回路が作製される。(図16(E))

【0153】

本実施例では、リンの添加工程において、pチャネル型TFTを覆うレジストマスク605、608を形成したが、これらのレジストマスク605又は／及び608を省略することもできる。この場合は、 p^+ 型の不純物領域602、608にリンが添加されるため、添加されるリン濃度をみこして、ボロンを多く添加する必要がある。

【0154】

〔実施例4〕 本実施例も実施例1の変形例であり、リンとボロンの添加工程の順序を変えたものであり、主要な構成は実施例1と同様である。

【0155】

図17を用いて本実施例の作製工程を説明する。図17において、図13、14と同じ符号は同じ構成要素を示す。

【0156】

実施例1で示した工程に従って図13(E)の構成を得る。次にレジストマスク405を除去する。そして、ゲート配線370において、nチャネル型TFTのゲート電極として機能する部分を少なくとも覆うレジストマスクを形成し、第2のゲート電極(配線)372をエッチングマスクに用いて、第1のゲート電極(配線)371をエッチングして、第3のゲート電極を形成する。

【0157】

即ち、少なくとも、第1のゲート配線371において、pチャネル型TFTの半導体層304と重なる部分の幅を細らせて、第3のゲート電極373を形成する。(図17(A))

【0158】

イオンドーピング法により半導体層303、304にリンを低濃度に添加する。第1～第3のゲート電極371～373がマスクとして機能し、 n^- 型領域621～624が自己整合的に形成される。(図17(B))

【0159】

次に、 n チャネル型TFTを覆うレジストマスク630を形成する。レジストマスク630を用いて、半導体層304にボロンをイオンドーピング法で高濃度に添加する。第1、第3のゲート電極371、373がマスクとして機能し、半導体層304にチャネル形成領域631、ソース領域、ドレイン領域として機能する p^+ 型不純物領域632、633が自己整合的に形成される。(図17(C))

【0160】

次に、レジストマスク630を除去して、新たに p チャネル型TFT全体と、 n チャネル型TFTを部分的に覆うレジストマスク640を形成する。レジストマスク640を用いて、イオンドーピング法によりリンを高濃度に添加する。 n チャネル型TFTの半導体層303の n^- 型不純物領域621、622にリンが選択的に添加され、 n^+ 型の不純物領域642、643が形成される。更に、レジストマスク640で覆われている領域は、チャネル形成領域641、第1のゲート電極371と重なっている n^- 型不純物領域644、645と、第1のゲート電極371と重なっていない n^- 型不純物領域646、647として画定する。(図17(D))

【0161】

本実施例でもゲート電極371と重なっている n^- 型不純物領域514、515は、リン濃度が n^- 型不純物領域516、517(及び n^+ 型不純物領域512、513)よりも低く、またリンの濃度はチャネル形成領域511に向かって低くなっている。

【0162】

レジストマスク640を除去した後、厚さ50nmでなる酸化シリコンでなる保護膜306を形成し、加熱処理して半導体層に添加したリン、ボロンを活性化する。層間絶縁膜307を形成し、コンタクトホールを開口して、ソース電極384、385、ドレイン電極386を形成する。以上により、CMOS回路が作製される。(図17(E))

【0163】

また、本実施例では、 p チャネル型TFTの第1のゲート電極の幅を細らせた

が、この工程を省略することもできる。

【0164】

本実施例では、リンの添加工程において、pチャネル型TFTを覆うレジストマスク630、640を形成したが、これらのレジストマスク630又は／及び640を省略することもできる。この場合は、 p^+ 型の不純物領域632、633にリンが添加されるため、添加されるリン濃度をみこして、ボロンを多く添加する必要がある。

【0165】

〔実施例5〕 本実施例は実施例1の変形例であり、リンとボロンの添加工程の順序を変えたものである。主要な構成は実施例1と同様である。

【0166】

図18を用いて本実施例の作製工程を説明する。図18において、図13、図14と同じ符号は同じ構成要素を示す。

【0167】

また、本実施例は実施例4の変形例に対応し、実施例4と同様にpチャネル型TFTの第1のゲート電極を細らせて、第3のゲート電極373を形成する。（図18（A））

【0168】

次に、pチャネル型TFT全体と、nチャネル型TFTを部分的に覆うレジストマスク650を形成する。レジストマスク650を用いて、イオンドーピング法によりリンを高濃度に添加し、n型領域651、652を形成する。（図18（B））

【0169】

次に、nチャネル型TFTを覆うレジストマスク660を形成する。レジストマスク660を用いて、半導体層304にボロンをイオンドーピング法で高濃度に添加する。第1、第3のゲート電極371、373がマスクとして機能し、半導体層304にチャネル形成領域661、ソース領域、ドレイン領域として機能する p^+ 型不純物領域662、663が自己整合的に形成される。（図18（C））

【0170】

次に、レジストマスク 660 を除去して、新たに p チャネル型 T F T 全体を覆うレジストマスク 670 を形成する。イオンドーピング法によりリンを低濃度に添加し、またリンが第 1 のゲート電極 371 のテーパー部を通過するように加速電圧を 90 keV と高めに設定する。

【0171】

この結果、n チャネル型 T F T の半導体層 303 に、チャネル形成領域 671、 n^+ 型の不純物領域 672、673、第 1 のゲート電極 371 と重なっている n^- 型不純物領域 674、675 と、第 1 のゲート電極 371 と重なっていない n^- 型不純物領域 676、677 が自己整合的に形成される。(図 18 (D))

【0172】

レジストマスク 670 を除去した後、厚さ 50 nm でなる酸化シリコンでなる保護膜 306 を形成し、加熱処理して半導体層に添加したリン、ボロンを活性化する。層間絶縁膜 307 を形成し、コンタクトホールを開口して、ソース電極 384、385、ドレイン電極 386 を形成する。以上により、CMOS 回路が作製される。(図 18 (E))

【0173】

また、本実施例では、p チャネル型 T F T の第 1 のゲート電極の幅を細らせたが、この工程を省略することもできる。

【0174】

本実施例では、リンの添加工程において、p チャネル型 T F T を覆うレジストマスク 650、670 を形成したが、これらのレジストマスク 650 又は／及び 670 を省略することもできる。この場合は、 p^+ 型の不純物領域 662、663 にリンが添加されるため、添加されるリン濃度をみこして、ボロンを多く添加する必要がある。

【0175】

〔実施例 6〕 本実施例は実施例 1 の変形例であり、リンとボロンの添加工程の順序を変えたものであり、他の構成は実施例 1 とほぼ同様である。

【0176】

以下、図 19 を用いて本実施例の作製工程を説明する。図 19 において、図 13、図 14 と同じ符号は同じ構成要素を示す。

【0177】

また、本実施例は実施例 5 の変形例に対応し、実施例 5 と同様に p チャネル型 T F T の第 1 のゲート電極を細らせて、第 3 のゲート電極 373 を形成する。（図 19（A））

【0178】

更に実施例 5 と同様に、p チャネル型 T F T 全体と、n チャネル型 T F T を部分的に覆うレジストマスク 680 を形成する。レジストマスク 680 を用いて、イオンドーピング法によりリンを高濃度に添加し、n 型領域 681、682 を形成する。（図 19（B））

【0179】

次に、レジストマスク 660 を除去して、新たに p チャネル型 T F T 全体を覆うレジストマスク 690 を形成する。イオンドーピング法によりリンを低濃度に添加する。リンが第 1 のゲート電極 371 のテーパー部を通過するように加速電圧を 90 keV と高めに設定する。

【0180】

この結果、n チャネル型 T F T の半導体層 303 に、チャネル形成領域 691、 n^+ 型の不純物領域 692、693、第 1 のゲート電極 371 と重なっている n^- 型不純物領域 694、675 と、第 1 のゲート電極 371 と重なっていない n^- 型不純物領域 696、697 が自己整合的に形成される。（図 19（C））

【0181】

次に、n チャネル型 T F T 全体を覆うレジストマスク 700 を形成した後、半導体層 304 にボロンをイオンドーピング法で高濃度に添加する。第 1、第 3 のゲート電極 371、373 がマスクとして機能し、半導体層 304 にチャネル形成領域 701、ソース領域、ドレイン領域として機能する p^+ 型不純物領域 702、703 が自己整合的に形成される。（図 19（D））

【0182】

レジストマスク 700 を除去した後、厚さ 50 nm となる酸化シリコンでなる

保護膜 306 を形成し、加熱処理して半導体層に添加したリン、ボロンを活性化
する。層間絶縁膜 307 を形成し、コンタクトホールを開口して、ソース配線 3
80、ドレイン電極 381 を形成する。以上により、CMOS 回路が作製される
。(図 19 (E))

【0183】

また、本実施例では、p チャネル型 TFT の第 1 のゲート電極の幅を細らせた
が、この工程を省略することもできる。

【0184】

本実施例では、リンの添加工程において、p チャネル型 TFT を覆うレジスト
マスク 680、690 を形成したが、これらのレジストマスク 680 又は / 及び
690 を省略することもできる。この場合は、 p^+ 型の不純物領域 702、70
3 にリンが添加されるため、添加されるリン濃度をみこして、ボロンを多く添加
する必要がある。

【0185】

上述したように実施例 2 ～ 6 では CMOS 回路の作製工程を説明するが、実施
例のように画素マトリクス回路とドライバ回路が一体化したアクティブマトリク
ス基板の作製工程に本実施例を適用できるのはいうまでもない。

【0186】

〔実施例 7〕 実施例 1 では半導体層にエキシマレーザにより結晶化した多結晶
シリコン膜を用いたが、本実施例は他の結晶化方法を示す。

【0187】

本実施例の結晶化工程は特開平 7-130652 号公報に記載の結晶化技術で
ある。この結晶化工程について図 21 を用いて説明する。

【0188】

まずガラス基板 1001 上に下地膜として酸化シリコン膜 1002 を成膜する
。酸化シリコン膜 1002 上に非晶質シリコン膜 1003 を成膜する。本実施例
では酸化シリコン膜 1002 と非晶質シリコン膜 1003 とをスパッタ法により
連続的に成膜した。次に、重量換算で 10 ppm のニッケルを含む酢酸ニッケル塩
溶液を塗布してニッケル含有層 1004 を形成した。(図 21 (A))

【0189】

なお、ニッケル (Ni) 以外にも、ゲルマニウム (Ge)、鉄 (Fe)、パラジウム (Pd)、錫 (Sn)、鉛 (Pb)、コバルト (Co)、白金 (Pt)、銅 (Cu)、金 (Au)、シリコン (Si) といった元素から選ばれた一種または複数種の元素を用いても良い。

【0190】

次に、600℃1時間の水素だし工程の後、600～1100℃で4～12時間（本実施例では5100℃14時間）の熱処理を行い、ポリシリコン膜1005を形成した。こうして得られた結晶性シリコン膜1005は非常に優れた結晶性を有することが分かっている。（図21（B））

【0191】

なお、本実施例の結晶化工程は本明細書に記載された半導体層の形成工程に適用できる。

【0192】

〔実施例8〕 本実施例では、実施例7と異なる結晶化工程に関するものであり、特開平8-78329号公報に記載された技術を用いて結晶化した場合の例について説明する。特開平8-78329号公報に記載された技術は、触媒元素を選択的に添加することによって、半導体膜の選択的な結晶化を可能とするものである。図22を用いて、同技術を本発明に適用した場合について説明する。

【0193】

まず、ステンレス基板1011上に酸化シリコン膜1012を成膜し、その上に非晶質シリコン膜1013、酸化シリコン膜1104を連続的に形成した。この時、酸化シリコン膜1014の膜厚は150nmとした。

【0194】

次に酸化シリコン膜1014をパターニングして選択的に開口部1015を形成し、その後、重量換算で100ppmのニッケルを含む酢酸ニッケル塩溶液を塗布した。形成されたニッケル含有層1106は開口部1015の底部のみで非晶質シリコン膜1012と接触した状態となった。（図22（A））

【0195】

次に、500～650℃で4～24時間（本実施例では550℃14時間）の熱処理を行い、非晶質シリコン膜の結晶化を行った。この結晶化過程では、ニッケルが接した部分がまず結晶化し、そこから基板にほぼ平行な方向へと結晶成長が進行する。結晶学的には<111>軸方向に向かって進行することが確かめられている。

【0196】

こうして形成されたポリシリコン膜1017は棒状または針状の結晶が集合してなり、各々の棒状結晶は、巨視的にはある特定の方向性をもって成長しているため、結晶性が揃っているという利点がある。

【0197】

なお、上記公報に記載された技術においてもニッケル（Ni）以外にゲルマニウム（Ge）、鉄（Fe）、パラジウム（Pd）、錫（Sn）、鉛（Pb）、コバルト（Co）、白金（Pt）、銅（Cu）、金（Au）、シリコン（Si）といった元素から選ばれた一種または複数種の元素を用いることができる。

【0198】

以上のような技術を用いて結晶を含む半導体膜（ポリシリコン膜やポリシリコンゲルマニウム膜を含む）を形成し、パターニングを行って結晶を含む半導体膜でなる半導体層を形成すれば良い。その後の工程は実施例1に従えば良い。勿論、実施例2～6との組み合わせも可能である。

【0199】

本実施例の技術を用いて結晶化した結晶を含む半導体膜を用いてTFTを作製した場合、高い電界効果移動度（モビリティ）が得られるが、そのため高い信頼性を要求されていた。しかしながら、本発明のTFT構造を採用することで本実施例の技術を最大限に生かしたTFTを作製することが可能となった。

【0200】

〔実施例9〕 本実施例は、実施例7、8で示した半導体の結晶化に用いたニッケルを、結晶化後にリンを用いて除去する工程を行う例を示す。本実施例ではその方法として、特開平10-135468号公報または特開平10-135469号公報に記載された技術を用いた。

【0201】

同公報に記載された技術は、非晶質半導体膜の結晶化に用いた触媒元素を結晶化後にリンのゲッタリング作用を用いて除去する技術である。同技術を用いることで、結晶性半導体膜中の触媒元素の濃度を $1 \times 10^{17} \text{atms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{atms/cm}^3$ にまで低減することができる。

【0202】

本実施例の構成について図 23 を用いて説明する。ここではコーニング社の 1737 基板に代表される無アルカリガラス基板を用いた。図 23 (A) では、実施例 2 で示した結晶化の技術を用いて、下地膜 1022、結晶性珪素膜 1023 が形成された状態を示している。そして、結晶性珪素膜 1023 の表面にマスク用の酸化珪素膜 1024 が 150 nm の厚さに形成され、パターニングにより開孔部が設けられ、結晶性珪素膜を露出させた領域を設けてある。そして、リンを添加する工程を実施して、結晶性珪素膜にリンが添加された領域 1025 が設けられた。

【0203】

この状態で、窒素雰囲気中で $550 \sim 1020^\circ\text{C}$ 、5～24 時間、例えば 600°C 、12 時間の熱処理を行うと、結晶性珪素膜にリンが添加された領域 1025 がゲッタリングサイトとして働き、結晶性珪素膜 1023 に残存していた触媒元素はリンが添加された領域 1025 に偏析させることができた。

【0204】

そして、マスク用の酸化珪素膜 1024 と、リンが添加された領域 1025 とをエッチングして除去することにより、結晶化の工程で使用した触媒元素の濃度を $1 \times 10^{17} \text{atms/cm}^3$ 以下にまで低減された結晶性珪素膜を得ることができた。この結晶性珪素膜はそのまま実施例 1 で示した本願発明の TFT の半導体層として使用することができた。

【0205】

〔実施例 10〕 本実施例では、実施例 7、8 に対して特開平 10-135468 号公報または特開平 10-135469 号公報に記載された技術を組み合わせた例を示す。

【0206】

同公報に記載された技術は、実施例 3、4 で示した半導体の結晶化に用いたニッケルを、結晶化後にハロゲン元素（代表的には塩素）のゲッタリング作用を用いて除去する技術である。同技術を用いることで半導体層中のニッケル濃度を $1 \times 10^{17} \text{atoms/cm}^3$ 以下（好ましくは $1 \times 10^{16} \text{atoms/cm}^3$ 以下）にまで低減することができる。

【0207】

本実施例の構成について図 24 を用いて説明する。まず基板として耐熱性の高い石英基板 701 を用いた。勿論、シリコン基板やセラミックス基板を用いても良い。石英基板を用いた場合、特に下地膜として酸化シリコン膜を設けなくても基板側からの汚染はない。

【0208】

次に実施例 3、4 の結晶化方法を用いてポリシリコン膜（図示せず）を形成し、パターニングして半導体層 1032、1033 を形成した。さらに、それら半導体層を覆って酸化シリコン膜でなるゲート絶縁膜 1034 を形成した。（図 24（A））

【0209】

ゲート絶縁膜 1034 を形成したら、ハロゲン元素を含む雰囲気中において熱処理を行った。本実施例では処理雰囲気を酸素と塩化水素とを混合した酸化性雰囲気とし、処理温度を 950°C 、処理時間を 30 分とした。なお、処理温度は $700 \sim 1150^\circ\text{C}$ （代表的には $1020 \sim 1000^\circ\text{C}$ ）の間で選択すれば良いし、処理時間も 10 分～8 時間（代表的には 30 分～2 時間）の間で選択すれば良い。（図 24（B））

【0210】

この時、ニッケルは揮発性のニッケル塩化物となって処理雰囲気中に離脱し、ポリシリコン膜中のニッケル濃度が低減する。従って、図 24（B）に示した半導体層 1035、1036 中に含まれるニッケル濃度は $1 \times 10^{17} \text{atoms/cm}^3$ 以下に低減されていた。

【0211】

以上のような技術でなる本実施例を用いて半導体層を形成し、その後の工程は実施例 1、2 に従えば良い。勿特に本実施例と実施例 4 の結晶化方法の組み合わせは非常に結晶性の高い結晶性シリコン膜を実現できることが判明している。

【0212】

(半導体層の結晶構造に関する知見)

上記作製工程に従って形成した半導体層は、微視的に見れば複数の針状又は棒状の結晶（以下、棒状結晶と略記する）が集まって並んだ結晶構造を有する。このことは TEM（透過型電子顕微鏡法）による観察で容易に確認できた。

【0213】

また、電子線回折及びエックス線（X線）回折を利用して半導体層の表面（チャンネルを形成する部分）が結晶軸に多少のずれが含まれているものの主たる配向面が $\{110\}$ 面であることを確認した。本出願人がスポット径約 $1.5\mu\text{m}$ の電子線回折写真を詳細に観察した結果、 $\{110\}$ 面に対応する回折斑点がきれいに現れているが、各斑点は同心円上に分布を持っていることが確認された。

【0214】

また、本出願人は個々の棒状結晶が接して形成する結晶粒界を HR-TEM（高分解能透過型電子顕微鏡法）により観察し、結晶粒界において結晶格子に連続性があることを確認した。これは観察される格子縞が結晶粒界において連続的に繋がっていることで、容易に確認できる。

【0215】

なお、結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement ; Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol.27, No.5, pp.751-758, 1988」に記載された「Planar boundary」である。

【0216】

上記論文によれば、平面状粒界には双晶粒界、特殊な積層欠陥、特殊な twist 粒界などが含まれる。この平面状粒界は電氣的に不活性であるという特徴を持つ

。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【0217】

特に結晶軸（結晶面に垂直な軸）が $\langle 110 \rangle$ 軸である場合、 $\{211\}$ 双晶粒界は $\Sigma 3$ の対応粒界とも呼ばれる。 Σ 値は対応粒界の整合性の程度を示す指針となるパラメータであり、 Σ 値が小さいほど整合性の良い粒界であることが知られている。

【0218】

本出願人が本発明を実施して得たポリシリコン膜を詳細に TEM を用いて観察した結果、結晶粒界の殆ど（90%以上、典型的には95%以上）が $\Sigma 3$ の対応粒界、即ち $\{211\}$ 双晶粒界であることが判明した。

【0219】

二つの結晶粒の間に形成された結晶粒界において、両方の結晶の面方位が $\{110\}$ である場合、 $\{111\}$ 面に対応する格子縞がなす角を θ とすると、 $\theta = 70.5^\circ$ の時に $\Sigma 3$ の対応粒界となることが知られている。

【0220】

本実施例のポリシリコン膜は、結晶粒界において隣接する結晶粒の各格子縞がまさに約 70.5° の角度で連続しており、その事からこの結晶粒界は $\{211\}$ 双晶粒界であるという結論に辿り着いた。

【0221】

なお、 $\theta = 38.9^\circ$ の時には $\Sigma 9$ の対応粒界となるが、この様な他の結晶粒界も存在した。

【0222】

この様な対応粒界は、同一面方位の結晶粒間にしか形成されない。即ち、本実施例を実施して得たポリシリコン膜は面方位が概略 $\{110\}$ で揃っているからこそ、広範囲に渡ってこの様な対応粒界を形成しうる。

【0223】

この様な結晶構造（正確には結晶粒界の構造）は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界

において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。従って、この様な結晶構造を有する半導体薄膜は実質的に結晶粒界が存在しないと見なすことができる。

【0224】

また700～1150℃という高い温度での熱処理工程によって結晶粒内に存在する欠陥が殆ど消滅していることがTEM観察によって確認されている。これはこの熱処理工程の前後で欠陥数が大幅に低減されていることから明らかである。

【0225】

この欠陥数の差は電子スピン共鳴分析 (Electron Spin Resonance : ESR) によってスピン密度の差となって現れる。現状では本実施例の作製工程に従って作製されたポリシリコン膜のスピン密度は少なくとも $3 \times 10^{17} \text{ spins/cm}^3$ 以下 (好ましくは $5 \times 10^{15} \text{ spins/cm}^3$ 以下) であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【0226】

以上の事から、本実施例を実施することで得られたポリシリコン膜は結晶粒内及び結晶粒界が実質的に存在しないため、単結晶シリコン膜又は実質的な単結晶シリコン膜と考えて良い。本出願人はこのような結晶構造を有するポリシリコン膜をCGS (Continuous Grain Silicon) と呼んでいる。

【0227】

CGSに関する記載は本出願人による特願平10-044659号、特願平10-152316号、特願平10-152308号または特願平10-152305号の出願を参照すれば良い。

【0228】

(TFTの電気特性に関する知見)

本実施例で作製したTFTは、MOSFETに匹敵する電気特性を示した。本出願人が試作したTFTからは次に示す様なデータが得られている。

【0229】

スイッチング性能（オン／オフ動作切り換えの俊敏性）の指標となるサブスレッショルド係数が、nチャネル型TFTおよびpチャネル型TFTともに60～100mV/decade（代表的には60～85mV/decade）と小さい。

【0230】

（2）TFTの動作速度の指標となる電界効果移動度（ μ_{FE} ）が、nチャネル型TFTで200～650cm²/Vs（代表的には300～500cm²/Vs）、pチャネル型TFTで100～300cm²/Vs（代表的には150～200cm²/Vs）と大きい。

【0231】

（3）TFTの駆動電圧の指標となるしきい値電圧（ V_{th} ）が、nチャネル型TFTで-0.5～1.5 V、pチャネル型TFTで-1.5～0.5 Vと小さい。

【0232】

以上の様に、極めて優れたスイッチング特性および高速動作特性が実現可能であることが確認されている。

【0233】

（回路特性に関する知見）

次に、本実施例を実施して形成したTFTを用いて作製されたリングオシレータによる周波数特性を示す。リングオシレータとはCMOS構造でなるインバータ回路を奇数段リング状に接続した回路であり、インバータ回路1段あたりの遅延時間を求めるのに利用される。実験に使用したリングオシレータの構成は次の様になっている。

段数：9段

TFTのゲイト絶縁膜の膜厚：30nm及び50nm

TFTのゲイト長：0.6 μ m

【0234】

このリングオシレータによって発振周波数を調べた結果、最大値で1.04GHzの発振周波数を得ることができた。また、実際にLSI回路のTEGの一つであるシフトレジスタを作製して動作周波数を確認した。その結果、ゲイト絶縁膜の膜厚30nm、ゲイト長0.6 μ m、電源電圧5V、段数50段のシフトレジスタ回路において動作周波数100MHzの出力パルスが得られた。

【0235】

以上の様なリングシレータおよびシフトレジスタの驚異的なデータは、本実施例のTFTがMOSFETに匹敵する、若しくは凌駕する性能（電気特性）を有していることを示している。

【0236】

【実施例11】 本実施例も結晶化工程で用いた触媒元素をゲッタリングする技術に関する。

【0237】

実施例9では、結晶化シリコン中の触媒元素をゲッタリングするため、ゲッタリング領域1025（図23参照）する必要がある。ゲッタリング領域には、TFTを形成することができなくなるため、回路の集積化を妨げている。本実施例は上記の問題点を解消したゲッタリング方法であり、 n チャネル型TFTの n^+ 型不純物領域及び、 p チャネル型TFTの p^+ 型不純物領域をゲッタリング領域に用いる。

【0238】

実施例1で示した工程では、 n^+ 型不純物領域312～314、322、32及び、 p^+ 型不純物領域332、333にはリンが $5 \times 10^{20} \text{atoms/cm}^3$ の高濃度に存在する。（図12、図14参照）このため、これらの領域をゲッタリング領域に用いることができる。

【0239】

このため、TFTの半導体層302～304を実施例3、4で示した結晶性シリコンで形成した場合、リン、ボロンの活性化工程をゲッタリングのための加熱工程と兼ねればよい。例えば、活性化工程（図12（D）、図14（D）参照）において、 $500 \sim 650^\circ\text{C}$ （代表的には $550 \sim 600^\circ\text{C}$ ）の処理温度で2～24時間（代表的には4～12時間）の熱処理工程を行えばよい。

【0240】

この熱処理工程において、各TFTのチャネル形成領域311、312、325、321、331に残存したニッケルは、リンの作用により上記の n^+ 型不純物領域、 p^+ 型不純物領域へ向かって拡散し、そこで捕獲される。

【0241】

そのため、 n^+ 型不純物領域 312～314、322、32 及び、 p^+ 型不純物領域 332、333 のニッケル（触媒）濃度は $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ （代表的には $1 \times 10^{18} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ ）と増加し、他方、チャネル形成領域 311、312、325、321、331 のニッケル濃度は $2 \times 10^{17} \text{ atoms/cm}^3$ 以下（代表的には $1 \times 10^{14} \sim 5 \times 10^{16} \text{ atoms/cm}^3$ ）にまで低減することができる。

【0242】

なお、本実施例の効果を得るには、 n^+ 型不純物領域 312～314、322、32 及び、 p^+ 型不純物領域 332、333 には、リンまたはヒ素の濃度が少なくとも $1 \times 10^{19} \text{ atoms/cm}^3$ 以上（好ましくは $1 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ ）となるようする。

【0243】

【実施例 12】 本実施例は、実施例 1 の CMOS 回路の変形例である。図 20 を用いて、本実施例の TFT の構造を説明する。図 20 (A)～(C) において同じ符号は同じ構成要素を示す。また、本実施例の作製工程は実施例 1、2 を適用すれば良く、詳細な説明を省略する。

【0244】

図 20 (A) は、実施例 1 の変形例であり、第 2 のゲート電極（配線）を省略して、テーパー部を有する電極（配線）だけでゲート電極（配線）を形成した例である。

【0245】

基板 900 全面に酸化シリコンでなる下地膜 901 を形成されている。下地膜 901 上に、 n チャネル型 TFT、 p チャネル型 TFT の島状の半導体層が形成されている。島状の半導体層を覆って基板 900 全面に、ゲート絶縁膜 905 が形成されている。更に、TFT を覆って窒化シリコンでなる保護膜 906、層間絶縁膜が形成 907 が形成され、層間絶縁膜 907 上にはソース配線 941、942、ドレイン電極電極 941 が形成されている。

【0246】

ゲート絶縁膜 905 を挟んでゲート配線（ゲート電極） 931 が半導体層を交差して形成されている。ゲート配線 931 の側面はテーパ状に形成されている。ここでは、厚さ 250 nm のクロムで形成した。更に、pチャネル型 TFT の半導体層と交差している部分は、その幅が細らされて第 2 のゲート電極 931A が形成されている。

【0247】

また半導体層にリン、ボロンを添加する方法は実施例 21 適用した。nチャネル型 TFT の半導体層には、チャネル形成領域 911A、 n^+ 型不純物領域 912A、913A、ゲート電極 931 と重なっている n^- 不純物型領域 914A、915A、ゲート電極 931 と重なっていない n^- 型不純物領域 916A、917A が形成されている。

【0248】

n^- 型不純物領域 914A、915A、 n^- 型不純物領域 916A、917A はリンの濃度が n^+ 型不純物領域 912A、913A よりも低くなっている。また、 n^- 型不純物領域 914A、915A とチャネル形成領域 911A との接合部はゲート電極 931 のテーパ部の下に存在し、 n^- 型不純物領域 914A、915A の濃度はチャネル形成領域 911A に向かって減少している。

【0249】

他方、pチャネル型 TFT の半導体層には、チャネル形成領域 921A、 p^+ 型不純物領域 922A、923A、 p^+ 型不純物領域 924A、925A が形成されている。 p^+ 型不純物領域 922A、923A よりも p^+ 型不純物領域 924A、925A はリンの濃度が低く、ボロン濃度は同じになっている。

【0250】

図 20 (B) は実施例 2、3 の変形例であり、第 2 の電極を省略して、ゲート電極をテーパ部を有する電極だけで形成した例である。

【0251】

図 20 (B) では、nチャネル型 TFT と pチャネル型 TFT ともゲート電極 931B はテーパ状に形成されている。ここでは、厚さ 250 nm のクロムで形成した。

【0252】

また半導体層にリン、ボロンを添加する工程は実施例2を適用した。nチャネル型TFTの半導体層には、チャネル形成領域911B、 n^+ 型不純物領域912B、913B、ゲート電極931と重なっている n^- 不純物型領域914B、915B、ゲート電極931と重なっていない n^- 型不純物領域916B、917Bが形成されている。

【0253】

n^- 型不純物領域914B、915B、 n^- 型不純物領域916B、917Bはリンの濃度が n^+ 型不純物領域912B、913Bよりも低くなっている。また、 n^- 型不純物領域914B、915Bとチャネル形成領域911Bとの接合部はゲート電極931のテーパー部の下に存在し、 n^- 型不純物領域914B、915Bの濃度はチャネル形成領域911Bに向かって減少している。

【0254】

他方、pチャネル型TFTの半導体層には、チャネル形成領域921B、 p^+ 型不純物領域922B、922Bがゲート電極931Bをマスクにして自己整合的に形成されている。

【0255】

図20(C)は実施例1において、第1のゲート電極のテーパーエッチングを省略した例である。

【0256】

ゲート配線は第1のゲート配線931Cと第1のゲート配線931よりもチャネル長方向の幅の狭い第2のゲート配線932Cでなる。なお、第1のゲート配線931Cがpチャネル型TFTの半導体層と交差する部分は、第2のゲート配線932Cをマスクにして幅が細らされた第3のゲート電極933Cが形成されている。

【0257】

nチャネル型TFTの半導体層には、チャネル形成領域911C、 n^+ 型不純物領域912C、913C、ゲート電極931と重なっている n^- 不純物型領域914C、915C、ゲート電極931と重なっていない n^- 型不純物領域91

6C、917Cが形成されている。

【0258】

n^- 型不純物領域 914C、915C、 n^- 型不純物領域 916C、917C はリンの濃度が n^+ 型不純物領域 912C、913C よりも低くなっている。

【0259】

他方、pチャネル型TFTの半導体層には、チャネル形成領域 921C、 p^+ 型不純物領域 922C、922C、 p^+ 型不純物領域 924C、925Cが形成されている。 p^+ 型不純物領域 922C、922Cは p^+ 型不純物領域 924C、925C よりもリン濃度が低くなっている。

【0260】

図20(D)は実施例1において、ゲート配線表面を覆う第4のゲート配線を形成した例である。

【0261】

CMOS回路は実施例1の工程に従ってボロンの添加工程を行う。次に、窒化シリコンでなる保護膜 906を形成する代わりに、クロム(Cr)、タンタル(Ta)、チタン(Ti)、タングステン(W)、モリブデン(Mo)でなる金属膜、またはこれらの元素を主成分とする合金、またはシリサイド等の導電性材料を形成し、パターニングして第4のゲート配線 934Dを形成する。しかる後活性化を行えばよい。

【0262】

この構成により、第2のゲート配線 932Dが第1のゲート配線 931 (第3のゲート電極 933Dを含む) と第4のゲート配線 934Dでくるまれた構造のゲート配線を得ることができる。

【0263】

この場合には、 n チャネル型TFTの半導体層には、チャネル形成領域 911D、 n^+ 型不純物領域 912D、913D、ゲート電極 931と重なっている n^- 不純物型領域 914D、915D、ゲート電極 931と重なっていない n^- 型不純物領域 916D、917Dが形成されているが、 n^- 型不純物領域 914D、915Dは第1及び第4のゲート電極と交差している部分であり、 n^- 型不

純物領域 916D、917D は第 4 のゲート電極 934D と交差していない。

【0264】

この構成の利点は、第 1 のゲート電極 931D の下部の半導体層にほとんどリンが添加されない場合に特に有効である。図 20 (D) に示すように、 n^- 不純物型領域 914D、915D が第 1 のゲート電極 931D とほとんど重ならなくなっても、第 4 のゲート電極 934D を n^- 型不純物領域に重畳させることができるので、確実にゲート電極とオーバーラップしている n^- 型不純物領域を形成することが可能になる。

【0265】

他方、p チャネル型 TFT の半導体層には、チャネル形成領域 921B、 p^+ 型不純物領域 922B、922B、 p^+ 型不純物領域 924D、925D が形成されている。 p^+ 型不純物領域 922D、922D は p^+ 型不純物領域 924D、925D よりもリン濃度が低くなっている。この場合には、 n^- 型不純物領域と第 4 のゲート電極 934D が重なっている。オフ電流特性や耐圧性に問題が生ずる場合には、第 4 のゲート配線 934D を形成する際に、p チャネル型 TFT の半導体層と交差している部分に第 4 のゲート配線 934D を形成しないようにすればよい。

【0266】

〔実施例 13〕 本発明の TFT は実施例 1 に示した液晶表示装置だけでなく、あらゆる半導体回路に適用することが可能である。即ち、RISC プロセッサ、ASIC プロセッサ等のマイクロプロセッサに適用しても良いし、D/A コンバータ等の信号処理回路から携帯機器（携帯電話、PHS、モバイルコンピュータ）用の高周波回路に適用しても良い。

【0267】

さらに、従来の MOSFET 上に層間絶縁膜を形成し、その上に本発明の TFT を用いて半導体回路を作製したような三次元構造の半導体装置を実現することも可能である。このように本発明は現在 LSI が用いられている全ての半導体装置に適用することが可能である。即ち、SIMOX、Smart-Cut (SOITEC 社の登録商標)、ELTRAN (キャノン株式会社の登録商標) などの SOI

構造（単結晶半導体薄膜を用いた T F T 構造）に本発明を適用しても良い。

【0268】

また、本実施例の半導体回路は実施例 1 ～ 15 のどのような組み合わせからなる構成を用いても実現することができる。

【0269】

〔実施例 14〕 本発明を実施して形成された T F T は様々な電気光学装置や半導体回路に適用することができる。即ち、それら電気光学装置や半導体回路を部品として組み込んだ電子機器全てに本発明は適用できる。

【0270】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクション T V、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーションシステム、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 25 に示す。

【0271】

図 25（A）は携帯電話であり、本体 2001、音声出力部 2002、音声入力部 2003、表示装置 2004、操作スイッチ 2005、アンテナ 2006 で構成される。本発明を音声出力部 2002、音声入力部 2003、表示装置 2004 やその他の信号制御回路に適用することができる。

【0272】

図 25（B）はビデオカメラであり、本体 2101、表示装置 2102、音声入力部 2103、操作スイッチ 2104、バッテリー 2105、受像部 2106 で構成される。本発明を表示装置 2102、音声入力部 2103 やその他の信号制御回路に適用することができる。

【0273】

図 25（C）はモバイルコンピュータ（モービルコンピュータ）であり、本体 2201、カメラ部 2202、受像部 2203、操作スイッチ 2204、表示装置 2205 で構成される。本発明は表示装置 2205 やその他の信号制御回路に適用できる。

【0274】

図25（D）はゴーグル型ディスプレイであり、本体2301、表示装置2302、アーム部2303で構成される。本発明は表示装置2302やその他の信号制御回路に適用することができる。

【0275】

図25（E）はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403やその他の信号制御回路に適用することができる。

【0276】

図25（F）はフロント型プロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本発明は表示装置2502やその他の信号制御回路に適用することができる。

【0277】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～9のどのような組み合わせからなる構成を用いても実現することができる。

【0278】

【発明の効果】

本発明を実施することで、TFTの信頼性を高めること、特にnチャネル型TFTの信頼性を高めることができる。従って、厳しい信頼性が要求される高い電気特性（特に高いモビリティ）を有するチャネル型FETの信頼性を確保することが可能となった。また同時に、特性バランスに優れたnチャネル型TFTとpチャネル型TFTとを組み合わせることでCMOS回路を形成することで、信頼性が高く且つ優れた電気特性を示す半導体回路を形成できる。

【0279】

さらに、本発明では半導体の結晶化に用いた触媒元素を低減することができるため、不安定要因の少ない半導体装置を実現できる。しかも触媒元素を低減する工程はソース領域及びドレイン領域の形成及び活性化と同時に行われるため、ス

ループットを低下させるようなこともない。

【0280】

また、以上のようにTFTで組む回路の信頼性を高めることで電気光学装置、半導体回路、さらには電子機器をも含む全ての半導体装置の信頼性を確保することが可能となる。

【図面の簡単な説明】

【図1】 本発明のTFTの作製工程を示す断面図。(実施形態1)

【図2】 本発明のTFTの作製工程を示す断面図。(実施形態1)

【図3】 ゲート電極の部分断面図。(実施形態1)

【図4】 半導体層の部分断面図。(実施形態1)

【図5】 本発明のTFTの作製工程を示す断面図。(実施形態2)

【図6】 本発明のTFTの作製工程を示す断面図。(実施形態2)

【図7】 本発明のTFTの断面図。(実施形態3)

【図8】 本発明の液晶表示装置の概略を示す図。(実施例1)

【図9】 本発明の画素マトリクス回路、CMOS回路の上面図。(実施例1)

【図10】 本発明のアクティブマトリクス基板の断面図。(実施例1)

【図11】 本発明の画素マトリクス回路の作製工程を示す断面図。(実施例1)

【図12】 本発明の画素マトリクス回路の作製工程を示す断面図。(実施例1)

【図13】 本発明のCMOS回路の作製工程を示す断面図。(実施例1)

【図14】 本発明のCMOS回路の作製工程を示す断面図。(実施例1)

【図15】 本発明のCMOS回路の作製工程を示す断面図。(実施例2)

【図16】 本発明のCMOS回路の作製工程を示す断面図。(実施例3)

【図17】 本発明のCMOS回路の作製工程を示す断面図。(実施例4)

【図18】 本発明のCMOS回路の作製工程を示す断面図。(実施例5)

【図19】 本発明のCMOS回路の作製工程を示す断面図。(実施例6)

【図20】 本発明のCMOS回路の作製工程を示す断面図。(実施例12)

【図21】 本発明の結晶性シリコン膜の作製工程を示す図。(実施例7)

【図22】 本発明の結晶性シリコン膜の作製工程を示す図。(実施例8)

【図23】 本発明の結晶性シリコン膜の作製工程を示す図。(実施例9)

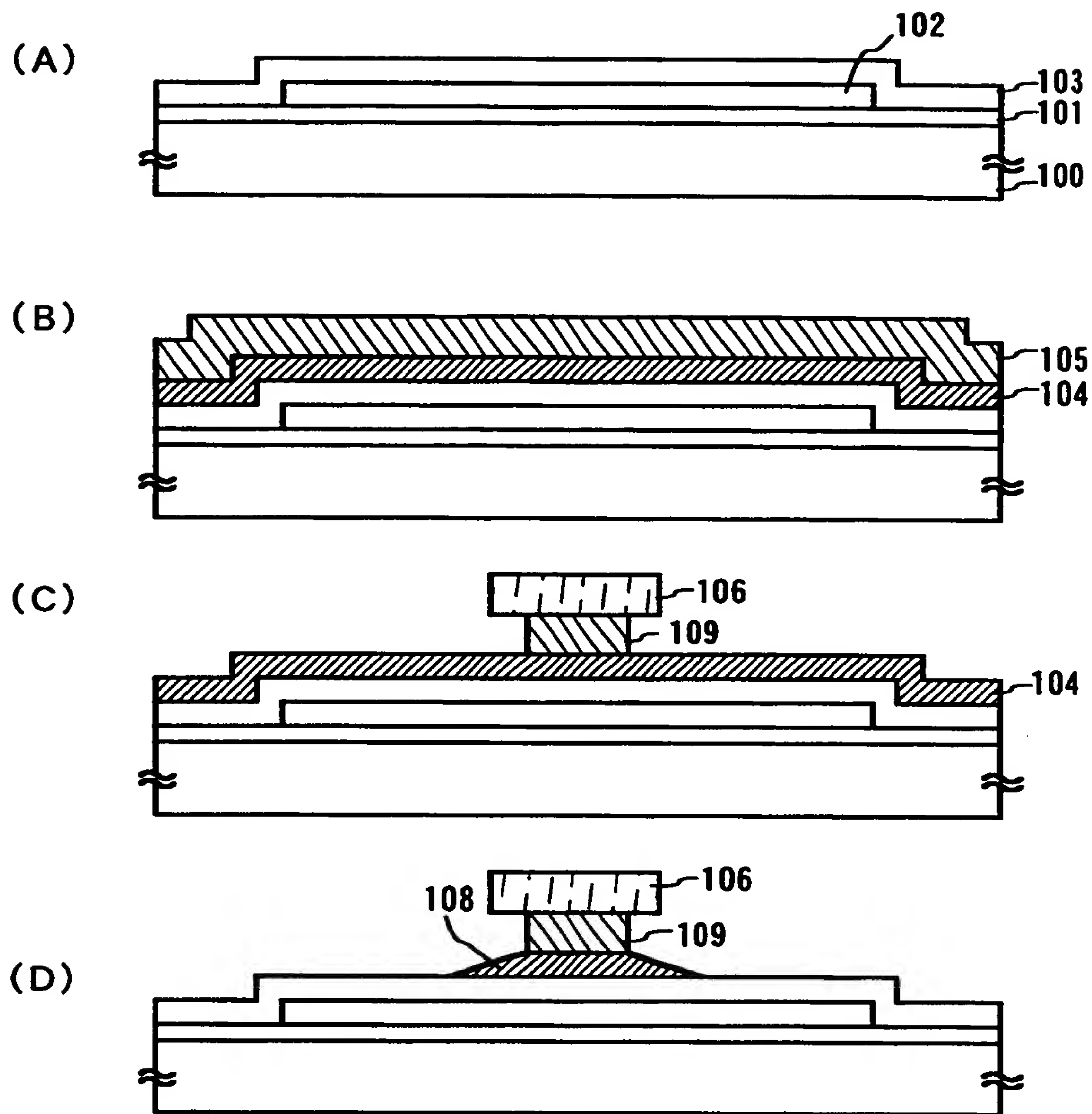
【図 2 4】本発明の結晶性シリコン膜の作製工程を示す図。（実施例 1 0）

【図 2 5】本発明の半導体装置の一例を示す図。（実施例 1 4）

【図 2 6】T F T のゲート電圧－ドレイン電流特性図。

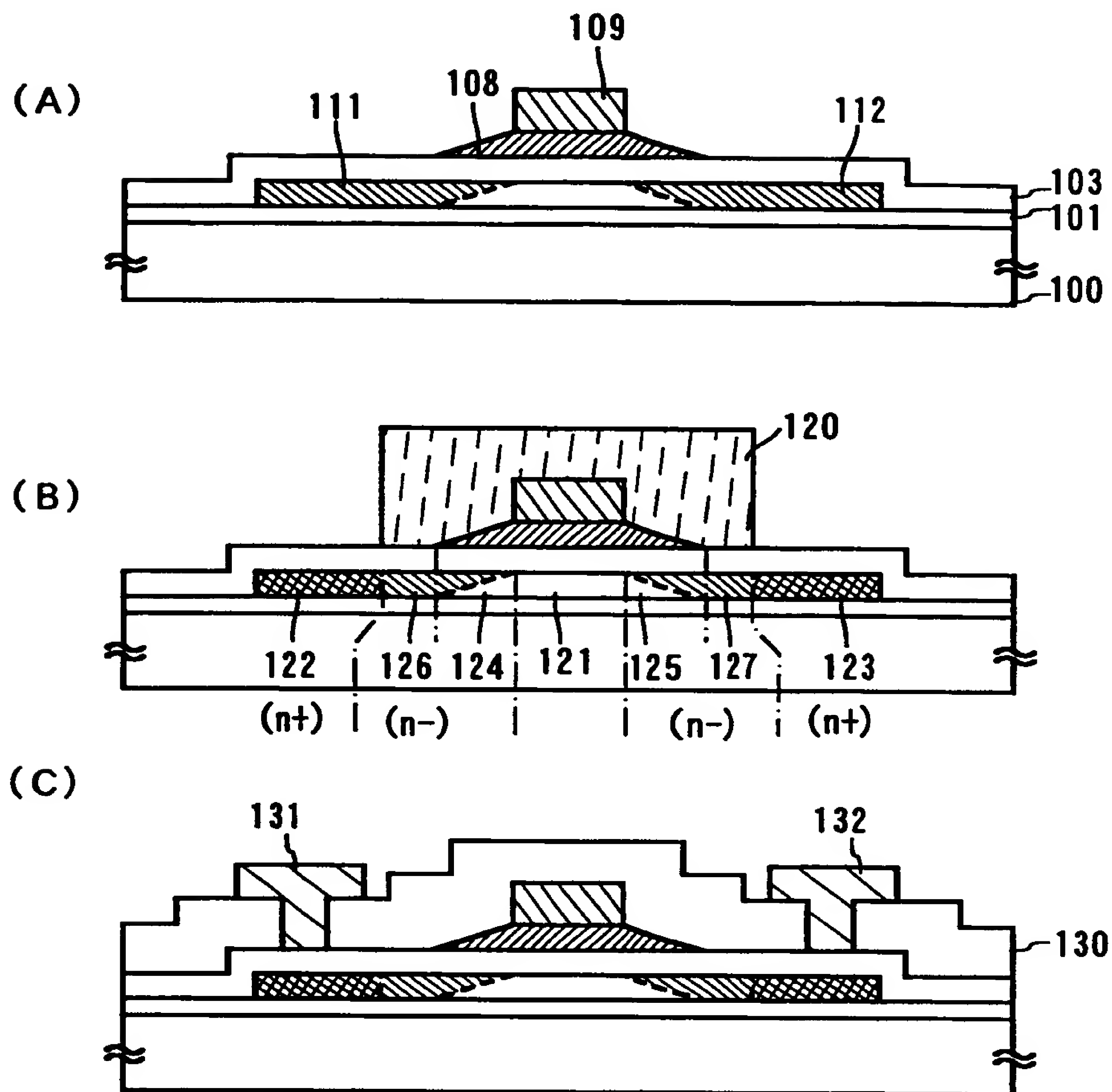
【書類名】 図面

【図 1】



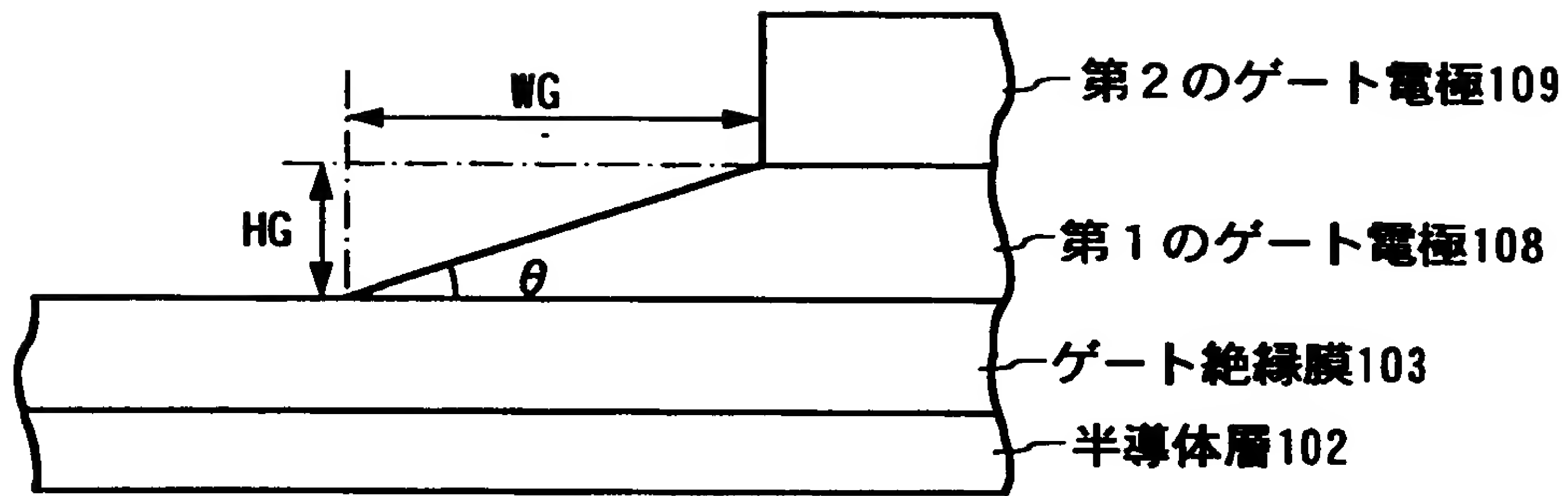
100:基板 101:下地膜 102:半導体層
 103:絶縁膜(ゲート絶縁膜)
 104:第1の導電膜 105:第2の導電膜
 106:レジスタマスク
 108:第1のゲート電極(第1のゲート配線)
 109:第2のゲート電極(第2のゲート配線)

【図 2】



100:基板 101:下地膜
 103:絶縁膜(ゲート絶縁膜)
 104:第1の導電膜 105:第2の導電膜
 108:第1のゲート電極(第1のゲート配線)
 109:第2のゲート電極(第2のゲート配線)
 114:レジストマスク
 121:チャネル形成領域
 122, 123:第1の不純物領域
 124, 125:第2の不純物領域
 126, 127:第3の不純物領域
 130:層間絶縁膜
 131:ソース電極 132:ドレイン電極

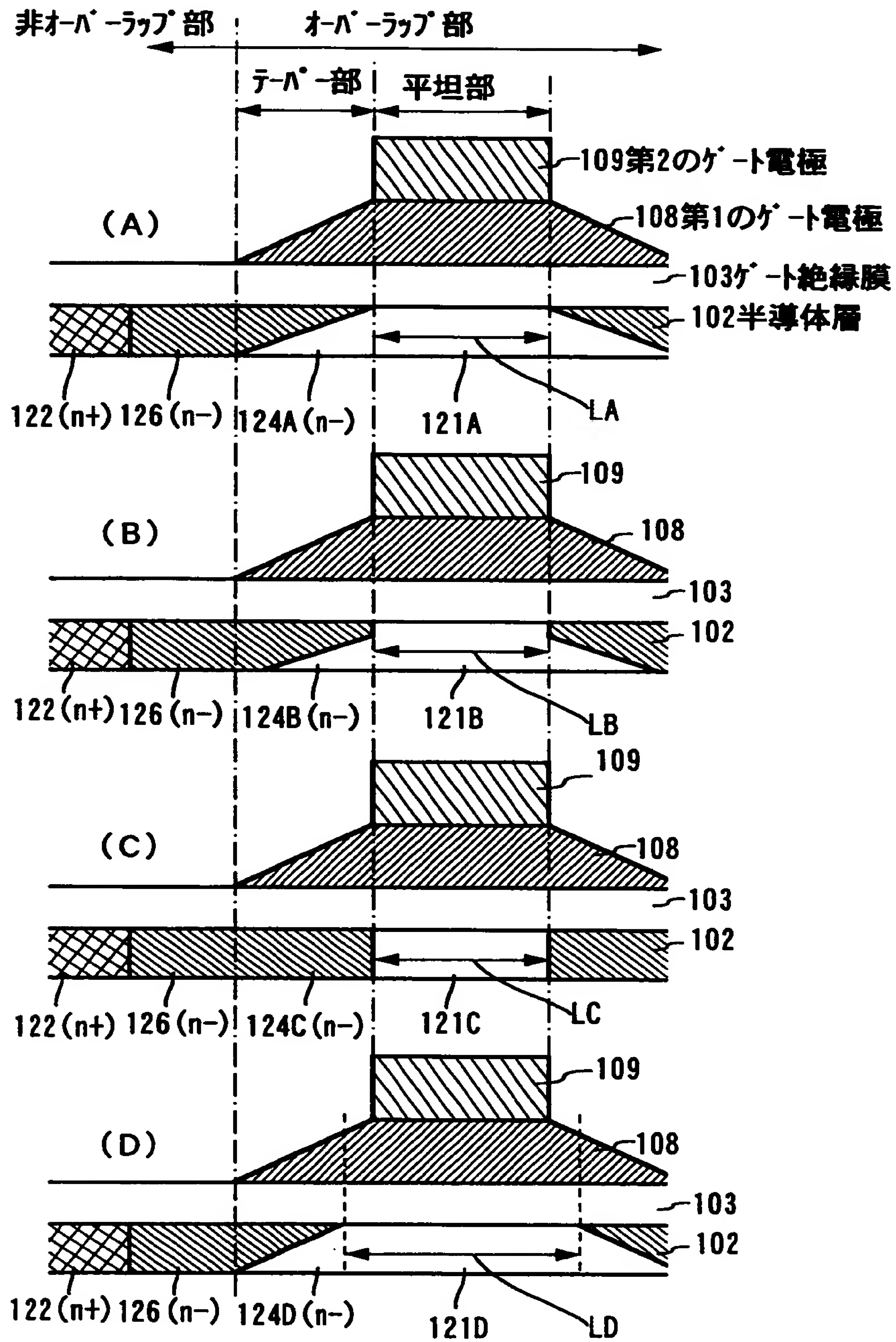
【図 3】



θ : テーパー角

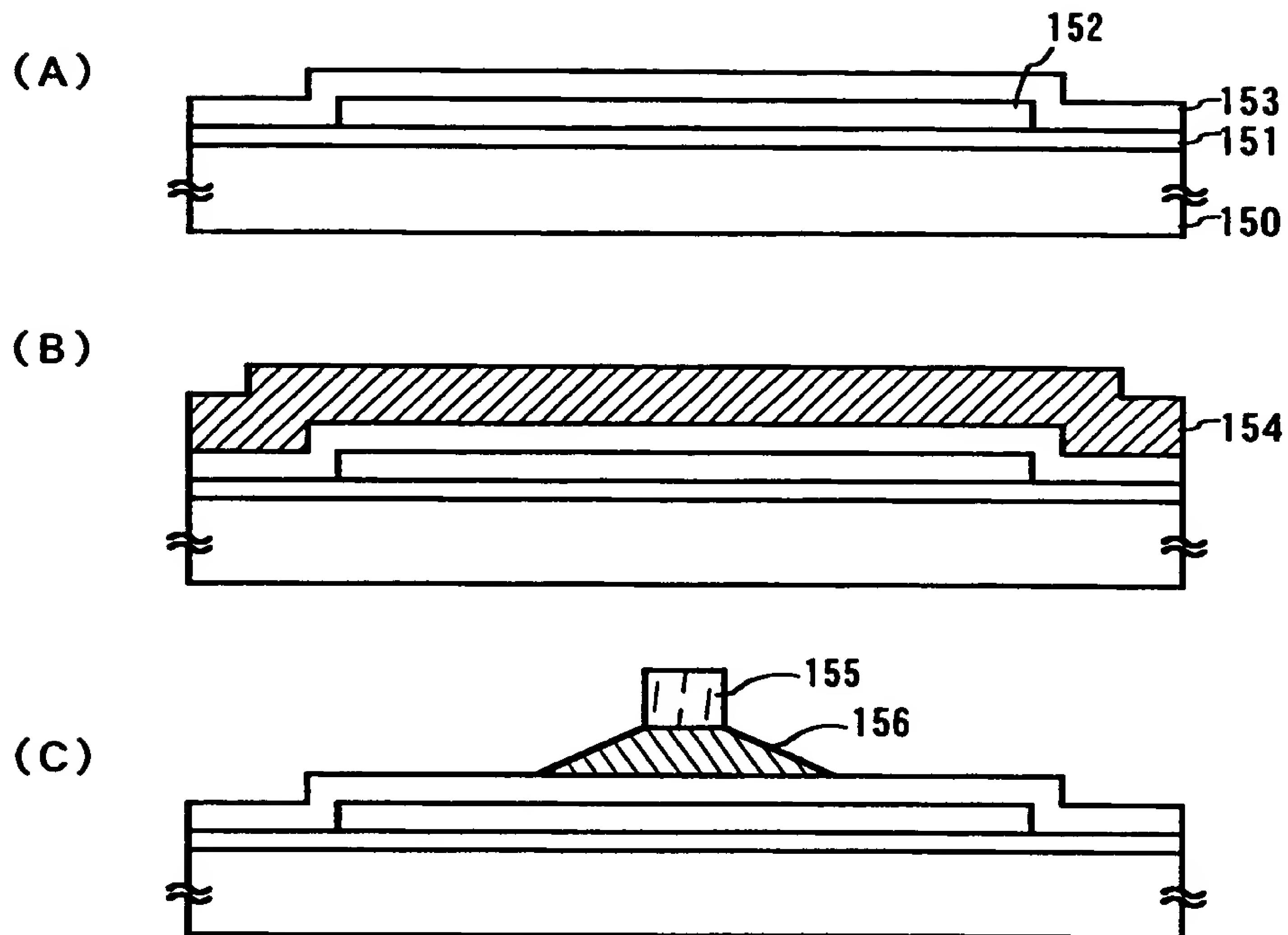
ゲート電極の断面図 (チャネル長方向)

【図 4】



121:チャネル形成領域
122:第1の不純物領域(オーバーラップ型低濃度不純物領域)
124:第2の不純物領域
126:第3の不純物領域(非オーバーラップ型低濃度不純物領域)

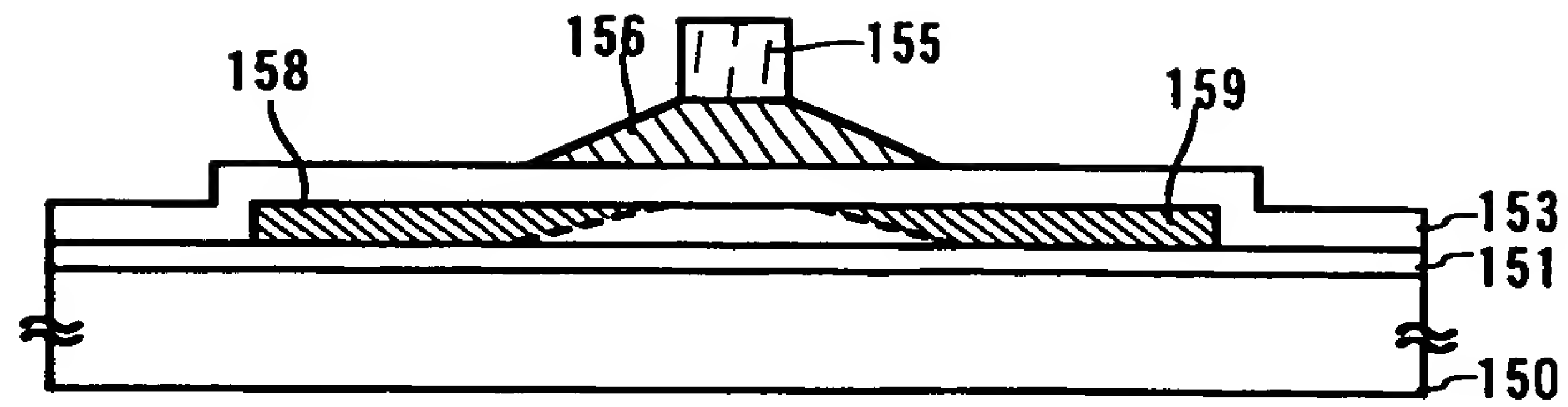
【図 5】



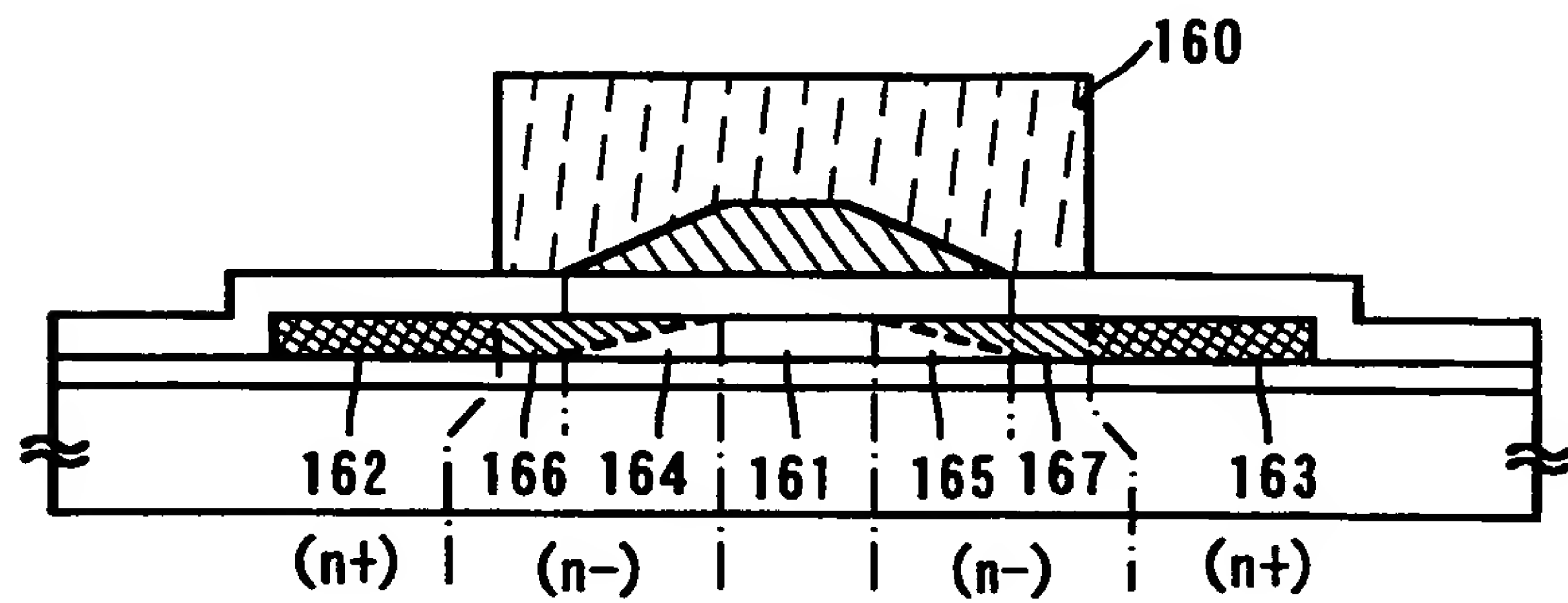
150:基板 151:下地膜 152:半導体層
 153:絶縁膜(ゲート絶縁膜)
 154:導電膜
 155:レジスタマスク
 156:ゲート電極(ゲート配線)

【図 6】

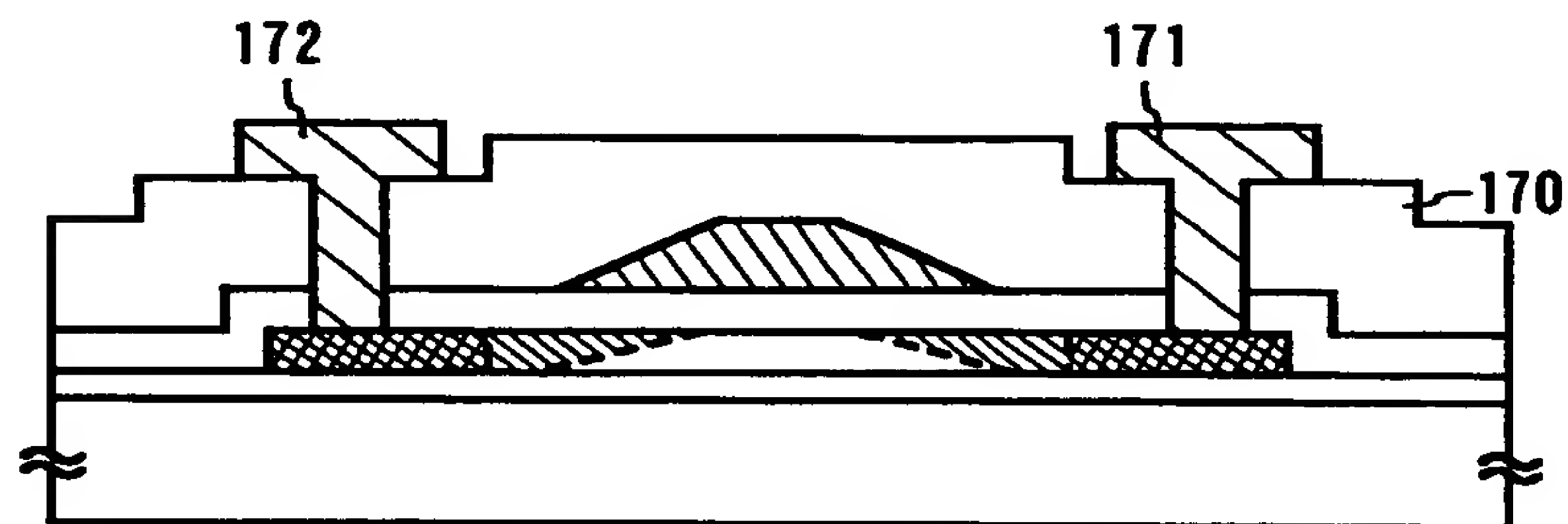
(A)



(B)

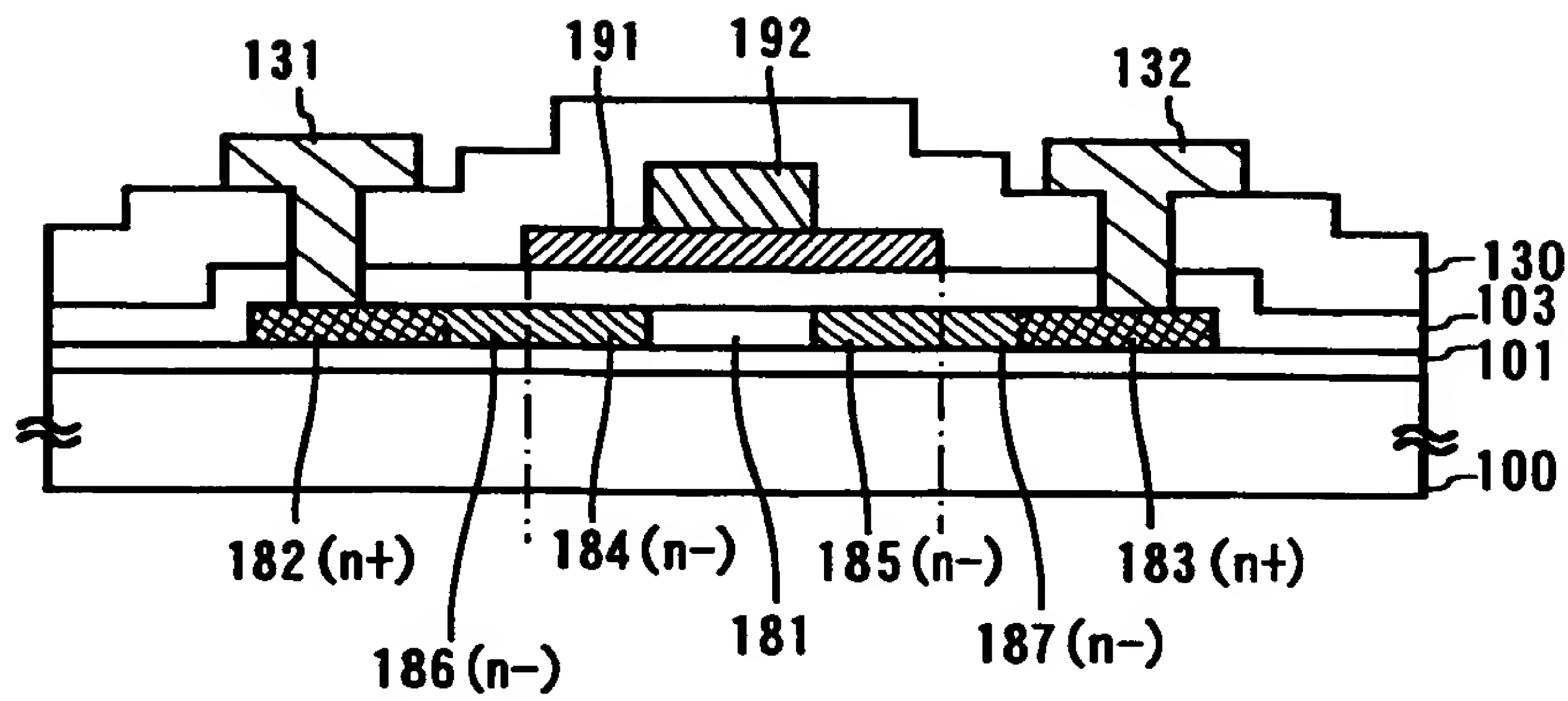


(C)



150:基板 151:下地膜
153:絶縁膜(ゲート絶縁膜)
156:ゲート電極(ゲート配線)
157, 160:レジストマスク
161:チャネル形成領域
162, 163:第1の不純物領域
164, 165:第2の不純物領域
166, 167:第3の不純物領域
160:層間絶縁膜
161:ソース電極 162:ドレイン電極

【図7】

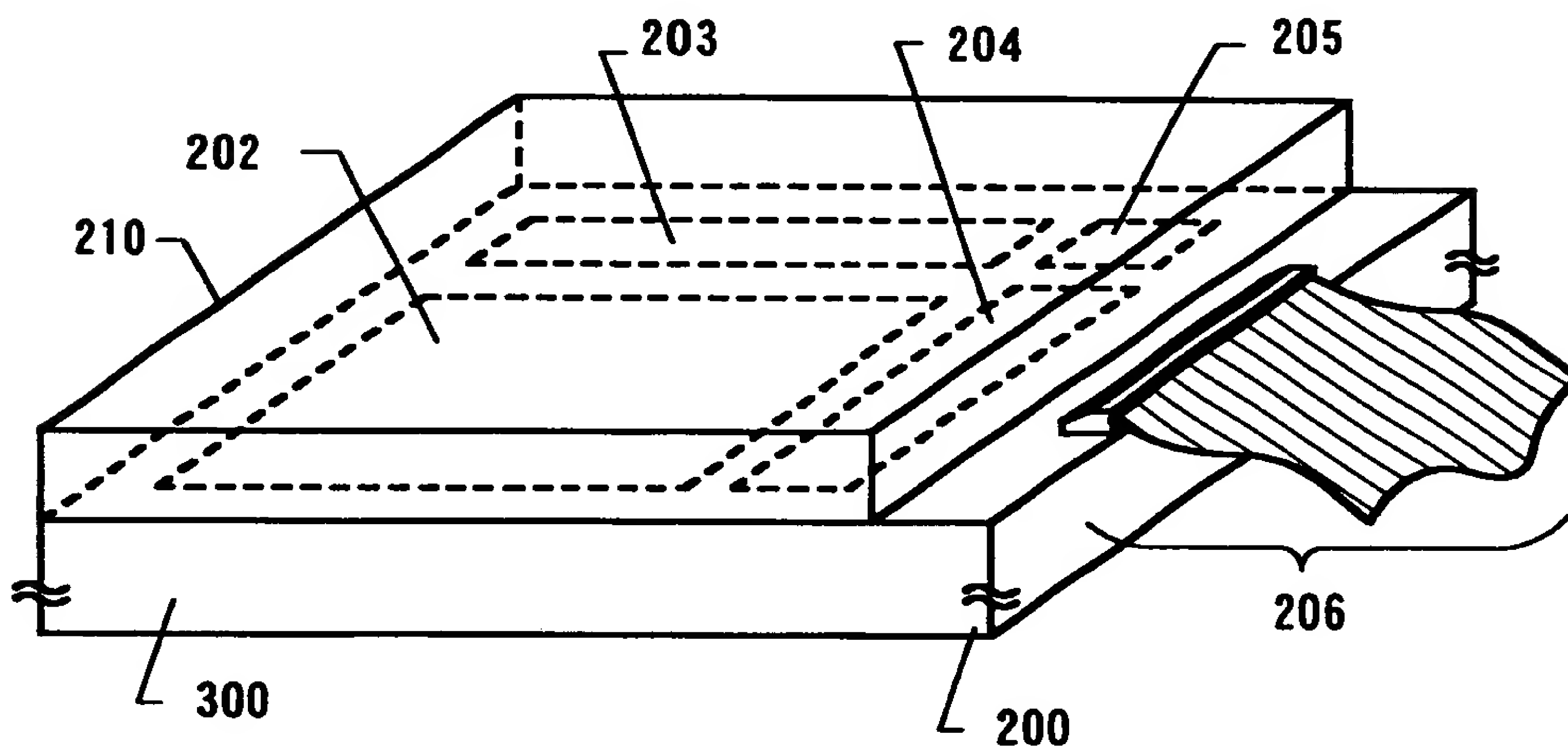


100:基板 101:下地膜 102:半導体層
103:絶縁膜(ゲート絶縁膜)
109:第2のゲート電極(第2のゲート配線)

191:第1のゲート電極(第1のゲート配線)
192:第2のゲート電極(第2のゲート配線)

181:チャネル形成領域
182, 183:第1の不純物領域
184, 185:第2の不純物領域
186, 187:第3の不純物領域
130:層間絶縁膜
131:ソース電極 132:ドレイン電極

【図8】

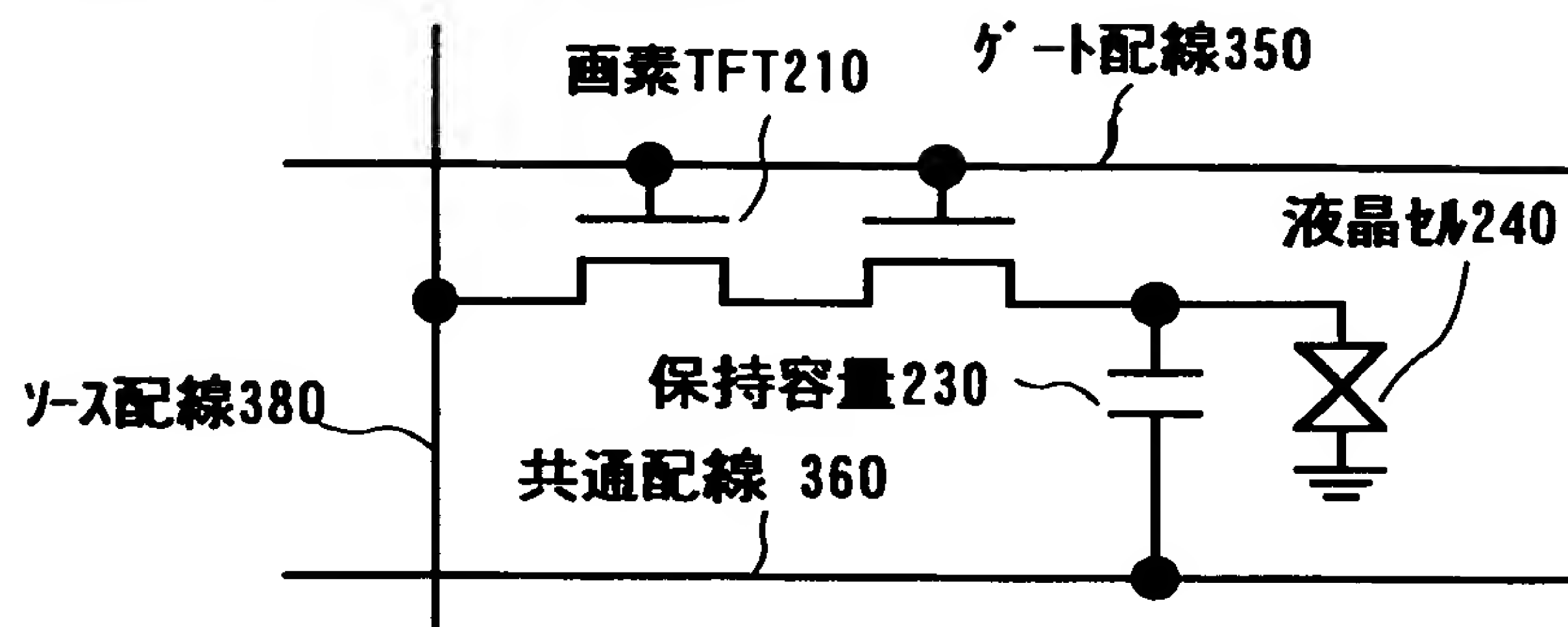


アクティブマトリクス基板200
300:ガラス基板 202:画素マトリクス回路
203:ゲートドライバ回路 204:ソースドライバ回路 205:信号処理回路
206:FPC

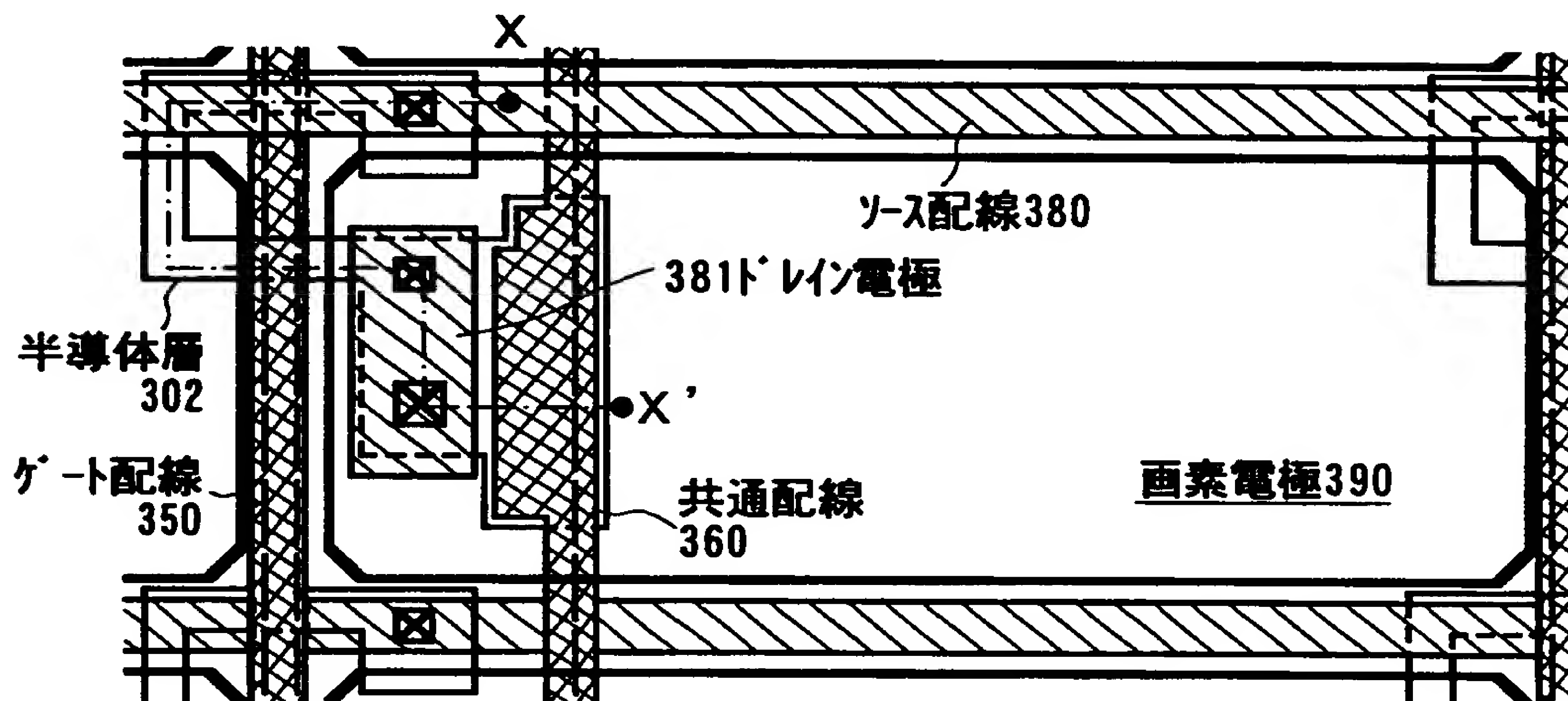
210:対向基板

【図9】

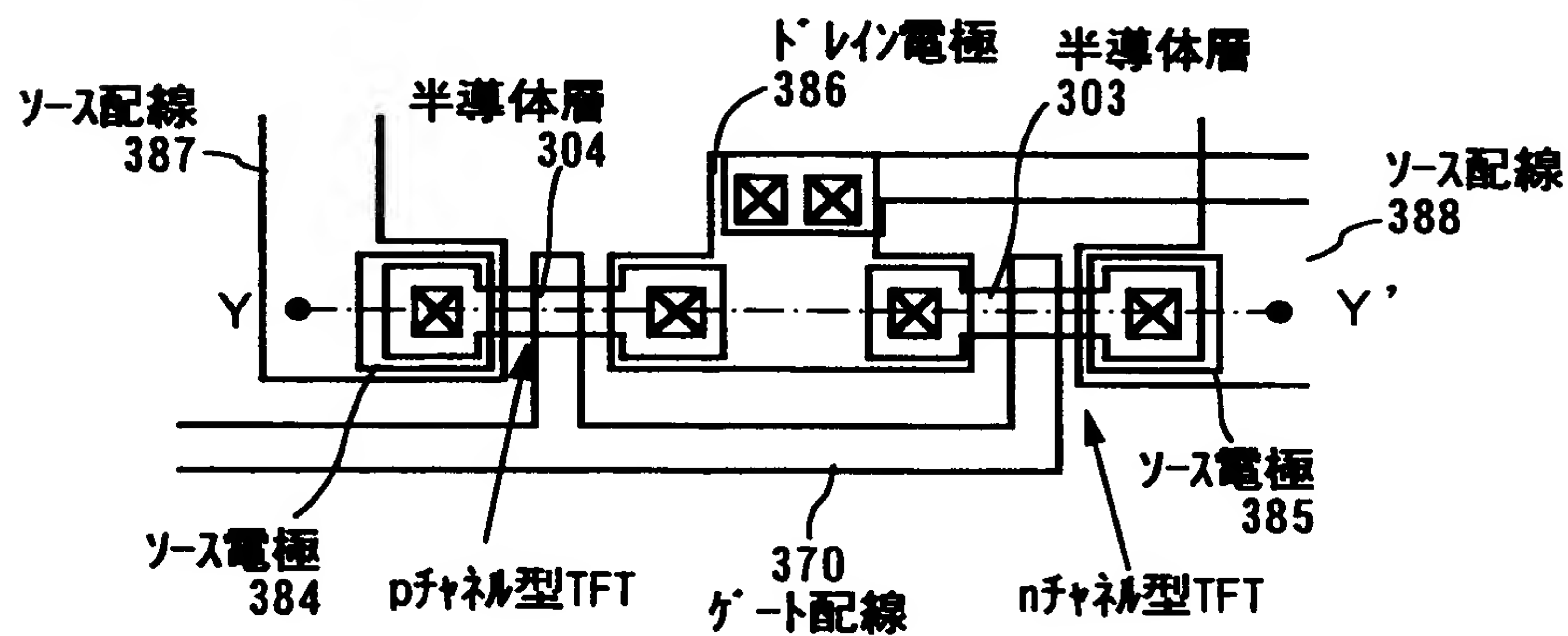
(A) 画素マトリクス回路:等価回路図



(B) 画素マトリクス回路:上面路図

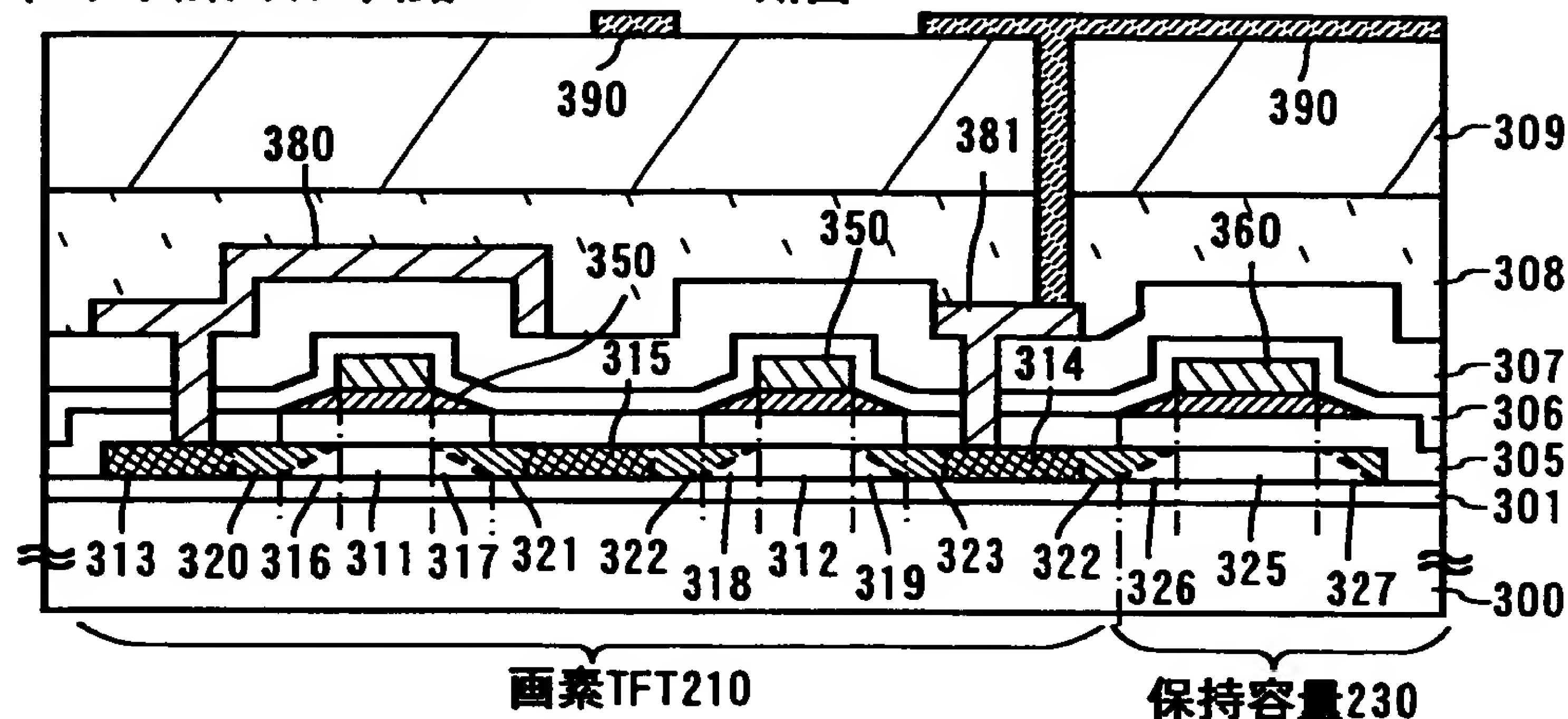


(C) CMOS回路:上面図



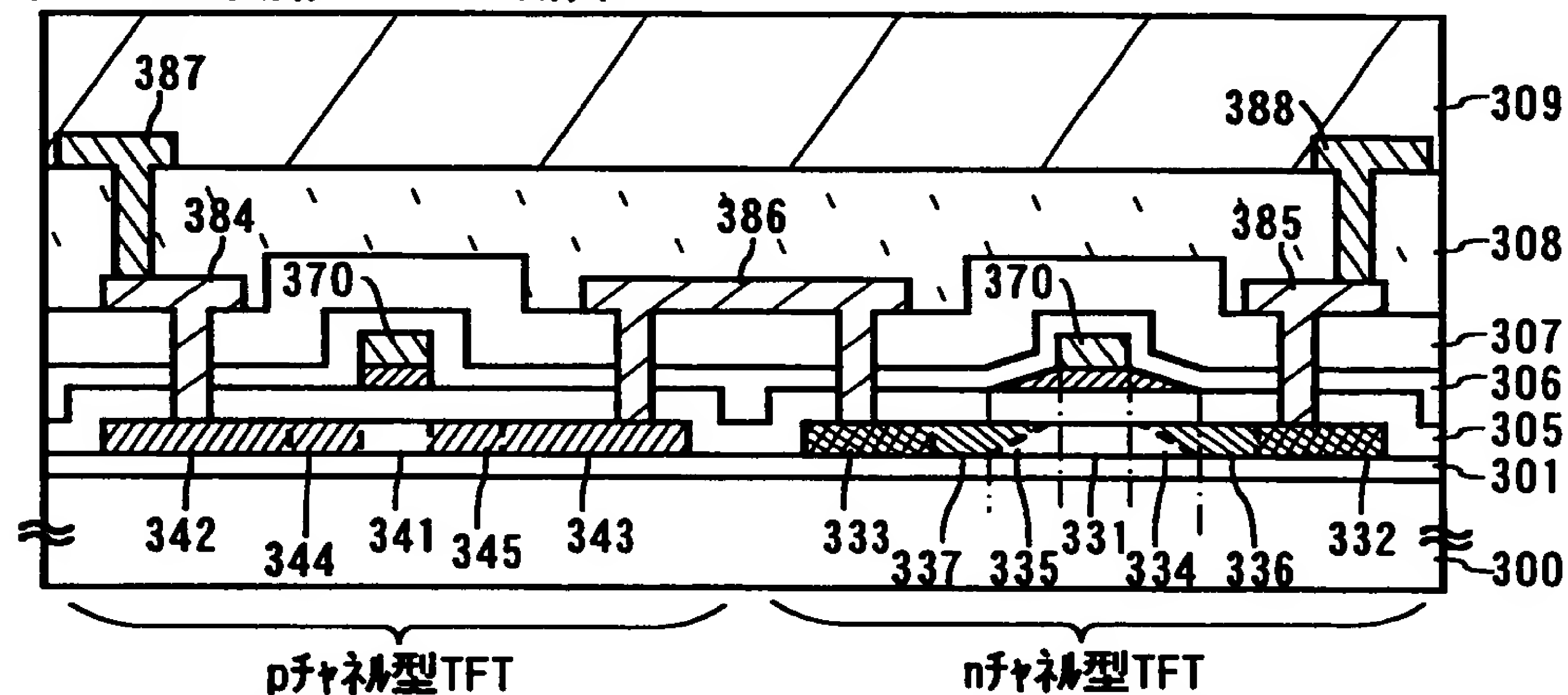
【図 10】

(A) 画素マトリクス回路202 X-X' 断面



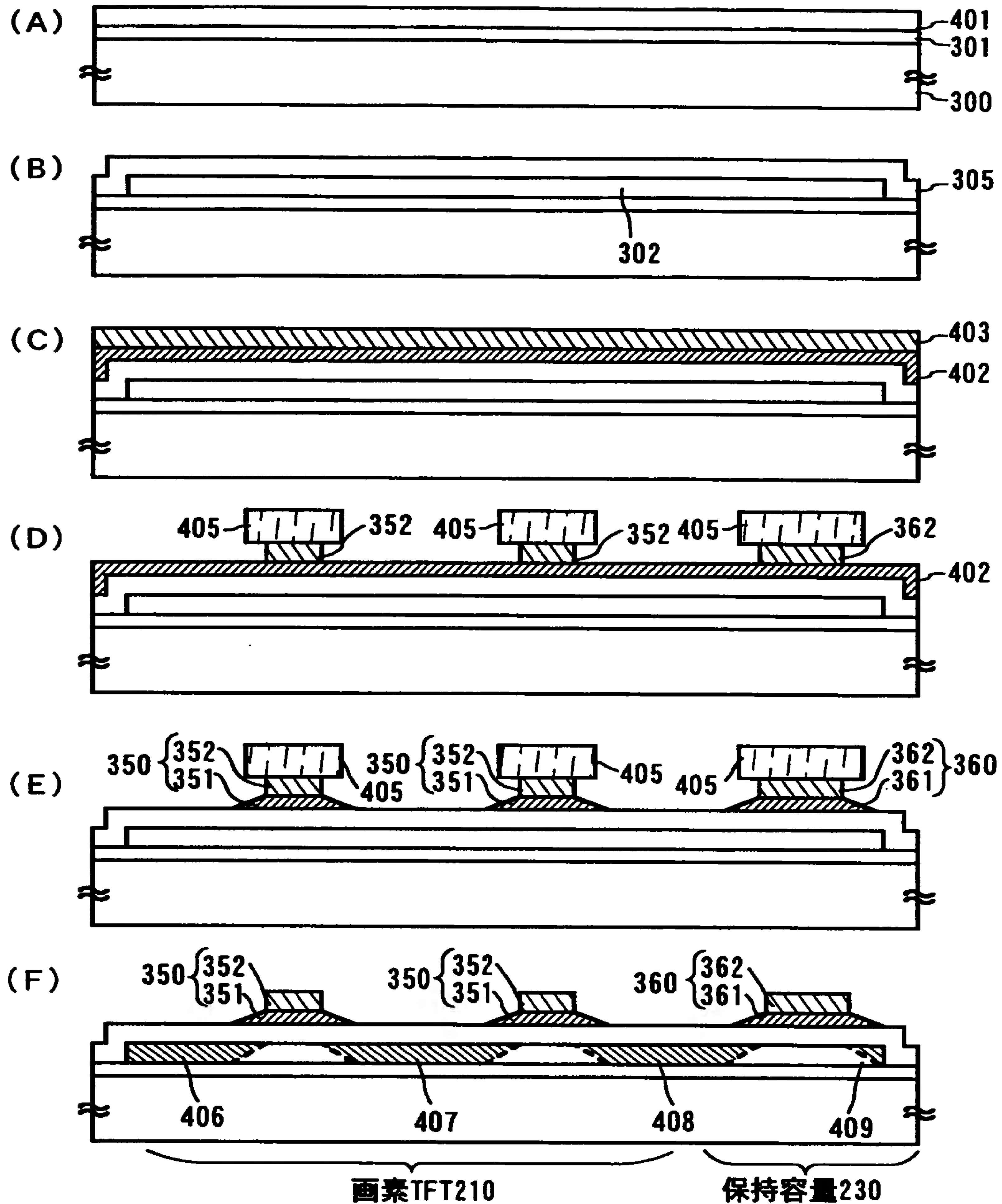
300:ガラス基板 301:下地膜 305:ゲート絶縁膜 306:保護膜
 307:層間絶縁膜 308, 309:平坦化膜
 311, 312:チャネル形成領域 313-315:n+型不純物領域
 316-319:n-型不純物領域 320-323:n-型不純物領域
 325:チャネル形成領域 326, 327:n-型不純物領域
 350:ゲート配線(ゲート電極) 360:共通配線(共通電極)
 380:ソース配線 381:ドレイン電極 390:画素電極

(B) CMOS回路Y-Y' 断面



300:ガラス基板 301:下地膜 305:ゲート絶縁膜 306:保護膜
 307:層間絶縁膜 308, 309:平坦化膜
 331:チャネル形成領域 332, 333:n+型不純物領域
 334, 335:n-型不純物領域 336, 337:n-型不純物領域
 341:チャネル形成領域 342, 343:p+型不純物領域 344, 345:p+型不純物領域
 370:ゲート配線(ゲート電極) 384, 385:ソース電極 386:ドレイン電極
 387, 388:ソース配線

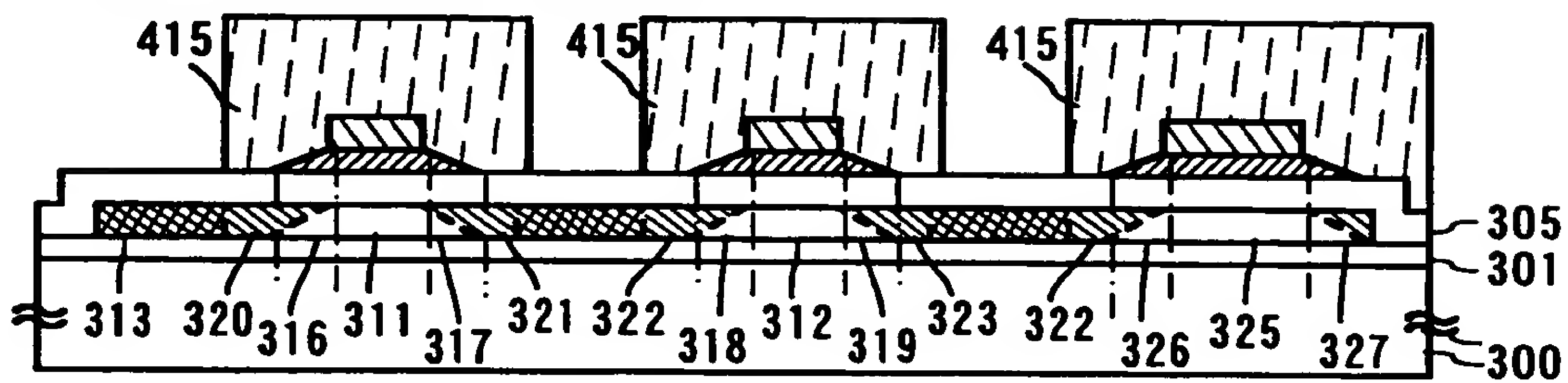
【図 11】



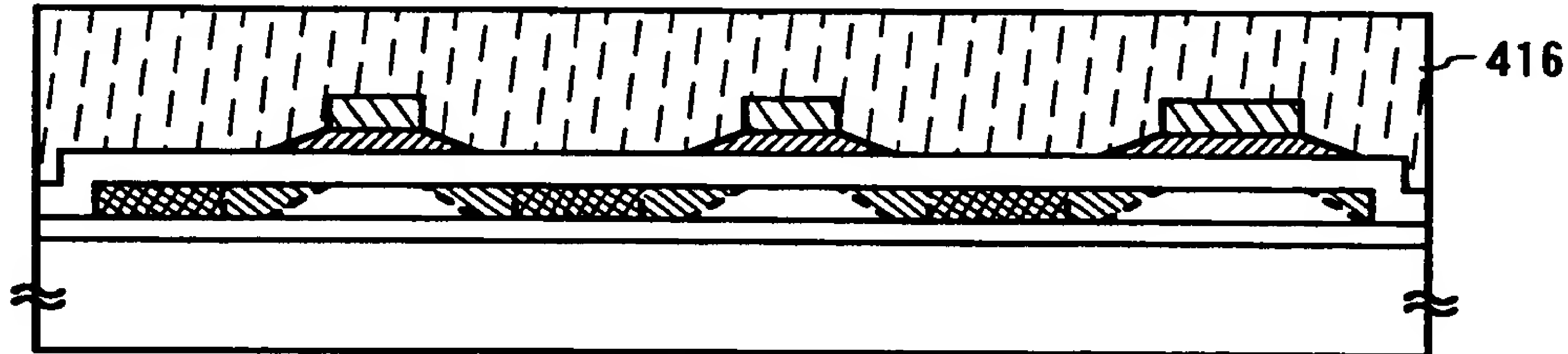
300:ガラス基板 301:下地膜 302:半導体層 305:ゲート絶縁膜
 350:ゲート配線(ゲート電極)
 351:第1のゲート配線(第1のゲート電極) 352:第2のゲート配線(第2のゲート電極)
 360:共通配線(共通電極)
 371:第1の共通配線(第1の共通電極) 372:第2共通配線(第2の共通電極)
 401:結晶性シリコン膜 402:n型シリコン膜 403:Mo-W膜 405:レジスタマスク
 406-409:n-型領域

【図 1 2】

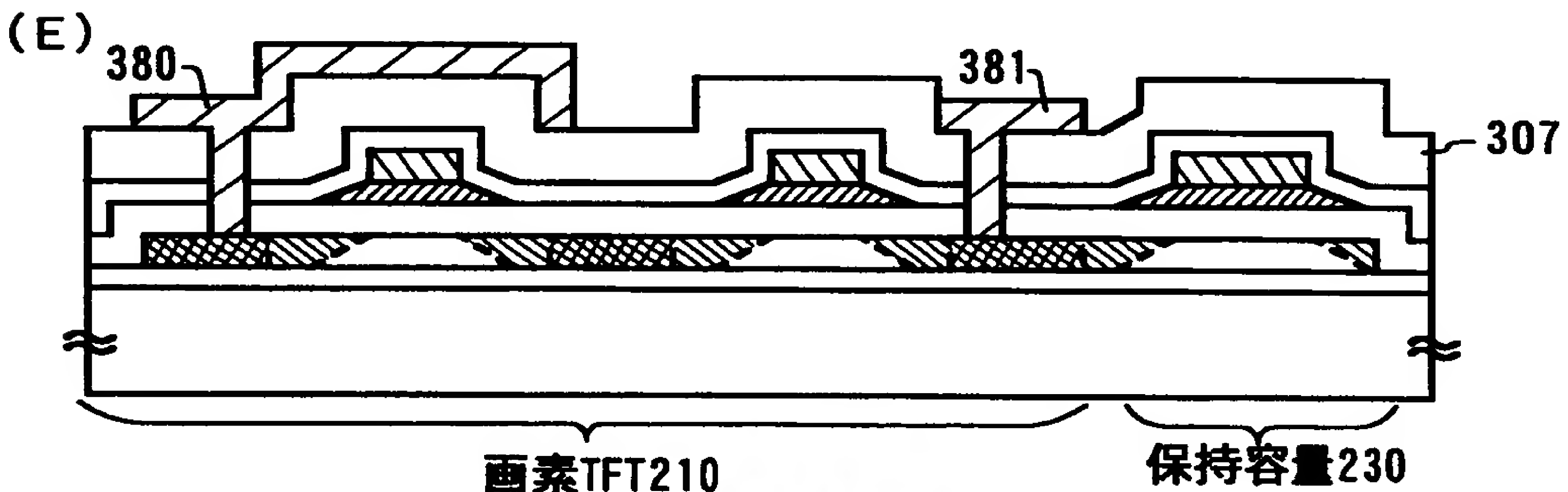
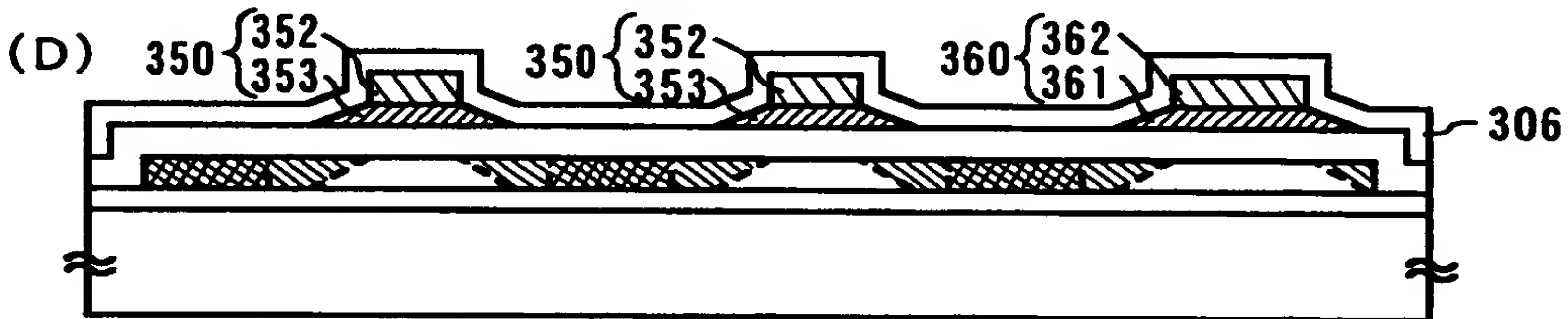
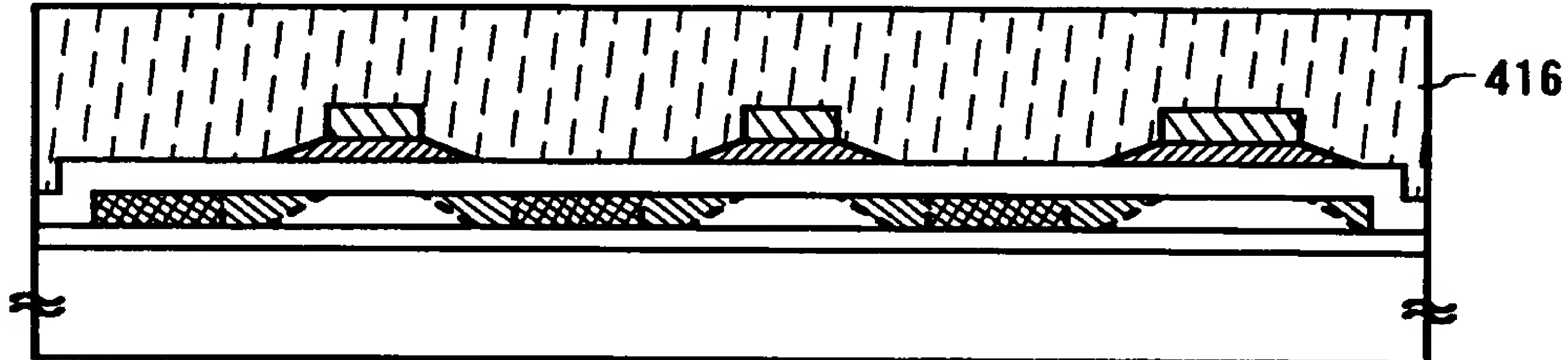
(A) n型の不純物の添加 (高濃度)



(B)

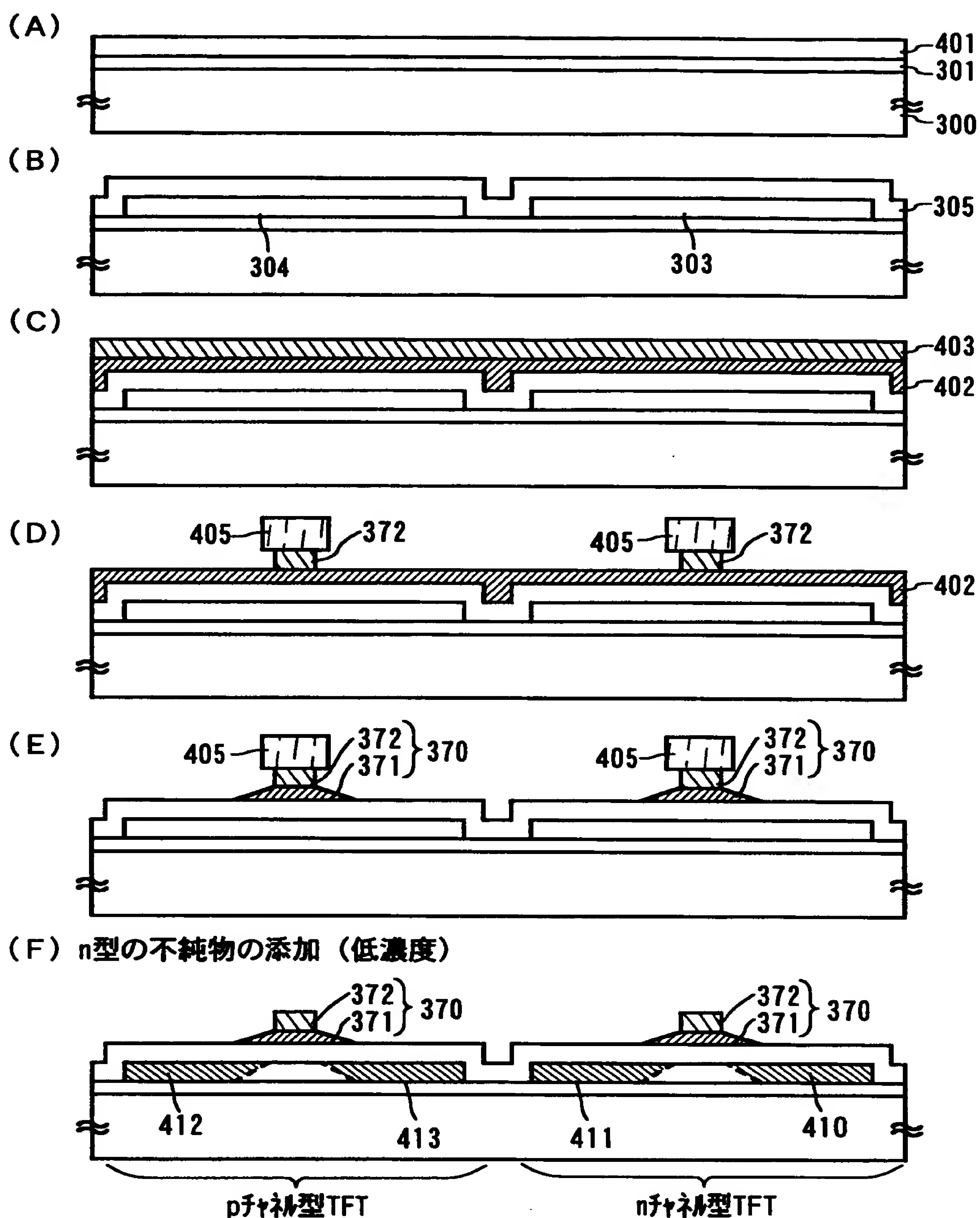


(C) p型の不純物の添加 (高濃度)



300:ガラス基板 301:下地膜 305:ゲート絶縁膜 306:保護膜
 307:層間絶縁膜 311, 312:チャネル形成領域 313-315:n+型不純物領域
 316-319:n-型不純物領域 320-323:n-型不純物領域
 325:チャネル形成領域 326, 327:n-型不純物領域 328:n-型不純物領域
 350:ゲート配線(ゲート電極)
 351:第1のゲート配線(第1のゲート電極) 352:第2のゲート配線(第2のゲート電極)
 360:共通配線(共通電極)
 361:第1の共通配線(第1の共通電極) 362:第2共通配線(第2の共通電極)
 380:ソース配線 381:ドレイン電極 415, 416:レジストマスク

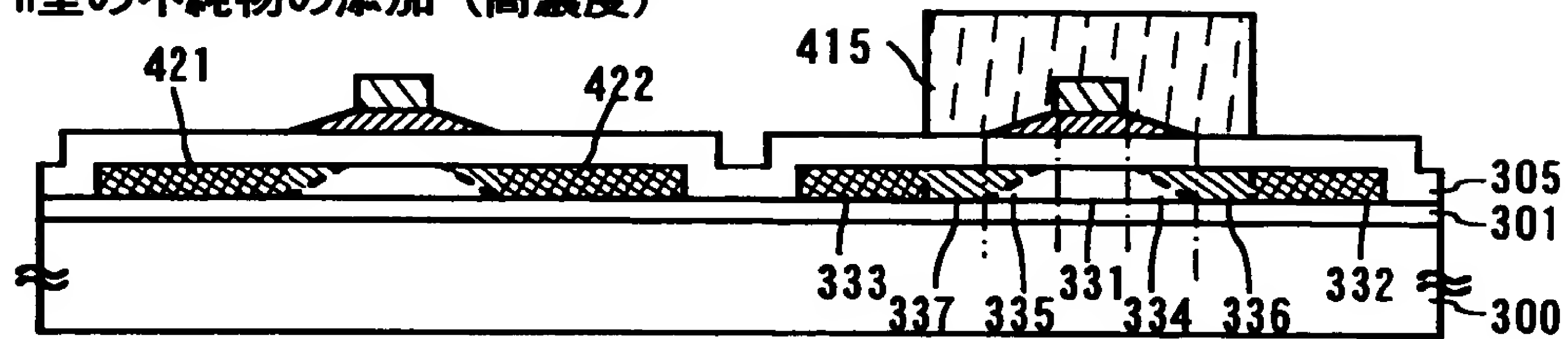
【図13】



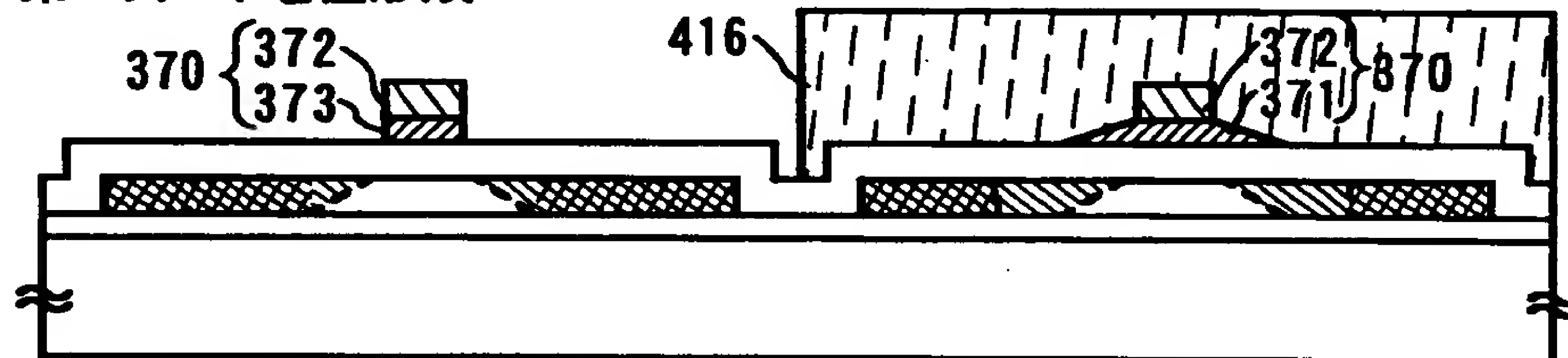
300:ガラス基板 301:下地膜 303, 304:半導体層 305:ゲート絶縁膜
 370:ゲート配線(ゲート電極)
 371:第1のゲート配線(第1のゲート電極)
 372:第2のゲート配線(第2のゲート電極)
 401:結晶性シリコン膜 402:n型シリコン膜 403:Mo-W膜 405:レジストマスク
 410-413:n-型領域

【図 14】

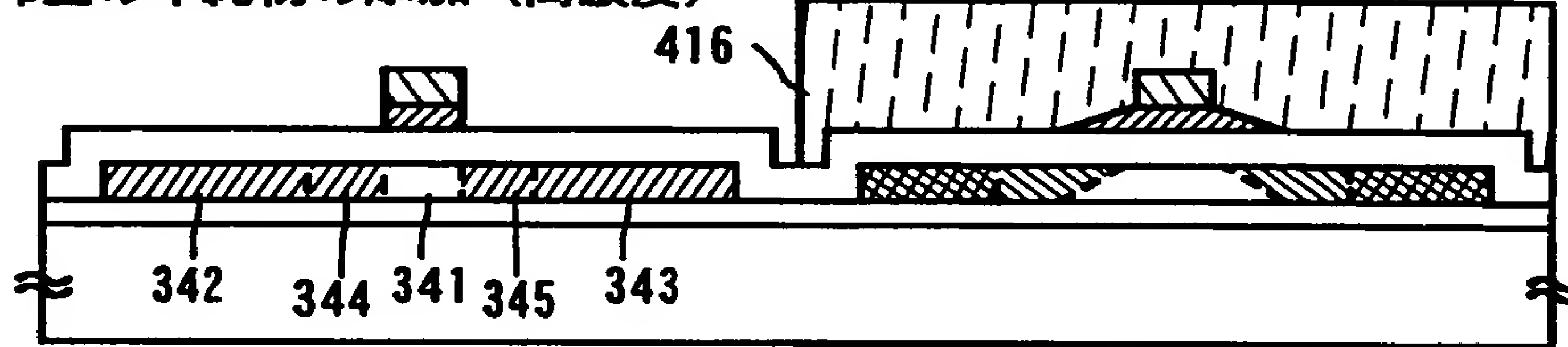
(A) n型の不純物の添加（高濃度）



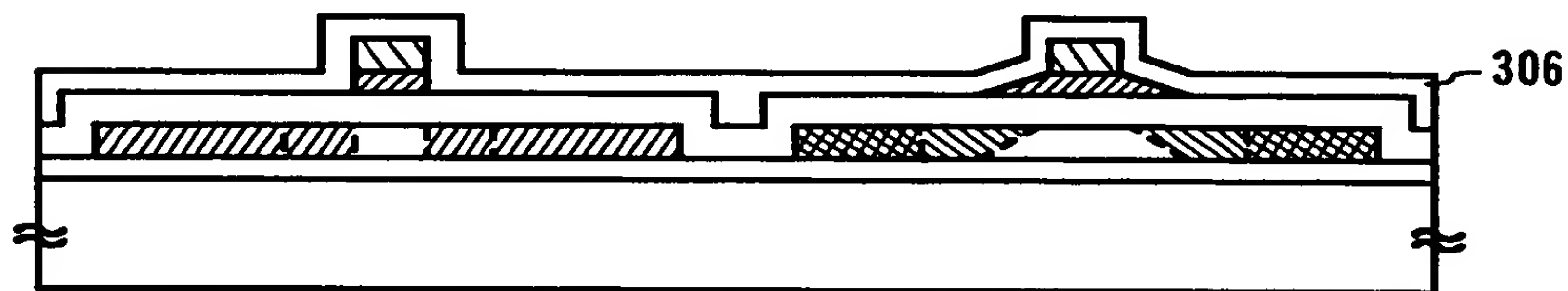
(B) 第3のゲート電極形成



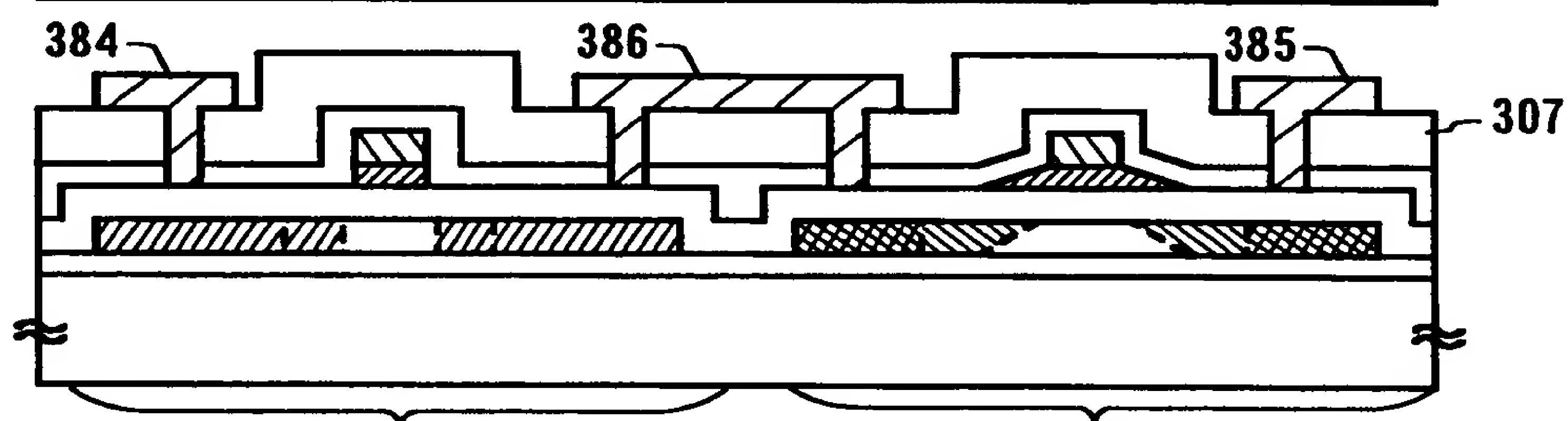
(C) p型の不純物の添加（高濃度）



(D)



(E)



pチャネル型TFT

nチャネル型TFT

300:ガラス基板 301:下地膜 305:ゲート絶縁膜 306:保護膜 307:層間絶縁膜

331:チャネル形成領域 332, 333:n+型不純物領域 334, 335:n-型不純物領域

336, 337:n-型不純物領域

341:チャネル形成領域 342, 343:p+型不純物領域 344, 345:p+型不純物領域

370:ゲート配線(ゲート電極)

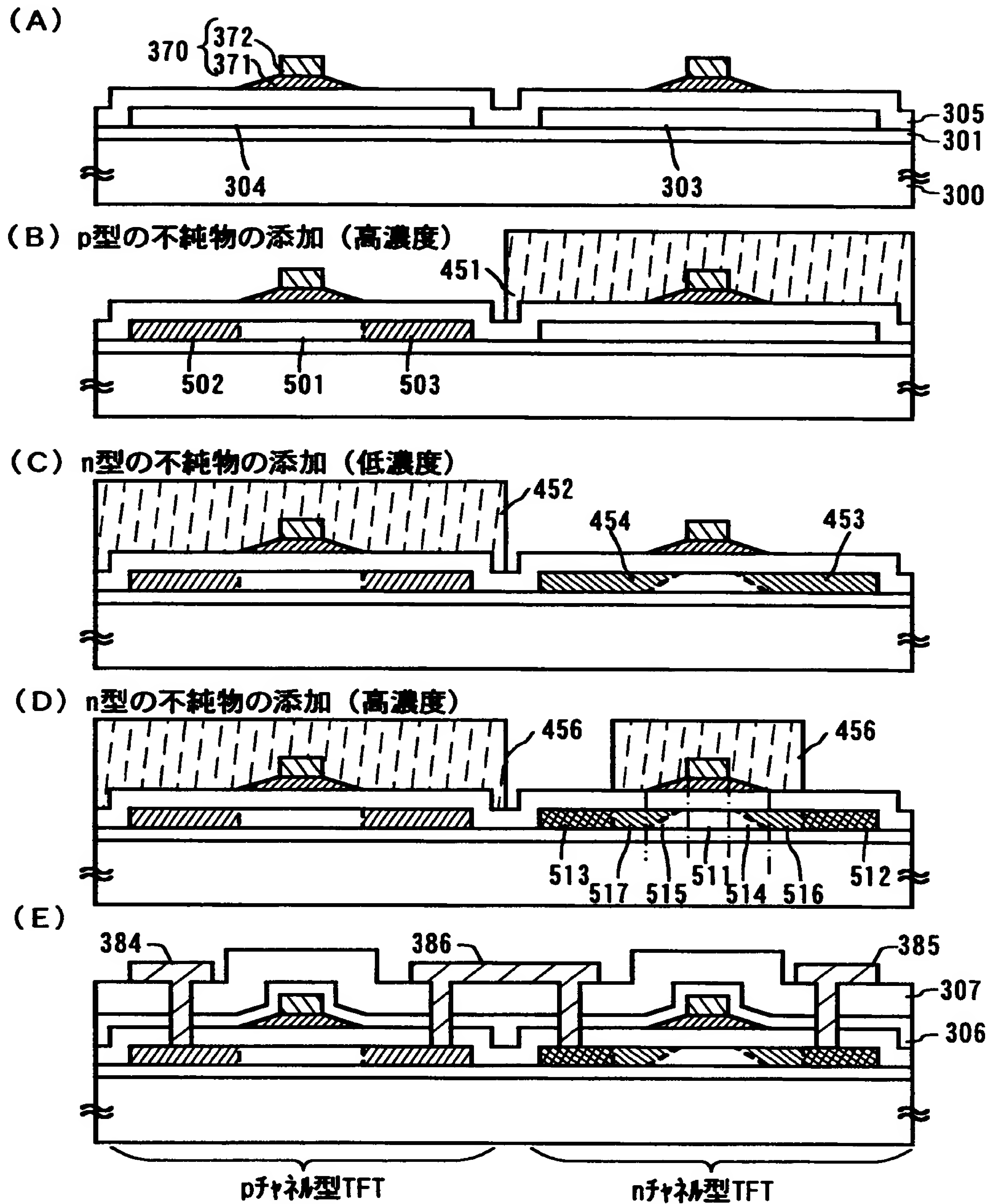
371:第1のゲート配線(第1のゲート電極) 372:第2のゲート配線(第2のゲート電極)

373:第3のゲート電極

384, 385:ソース電極 386:ドレイン電極

415, 416:レジスタマスク 421, 422:n+型不純物領域

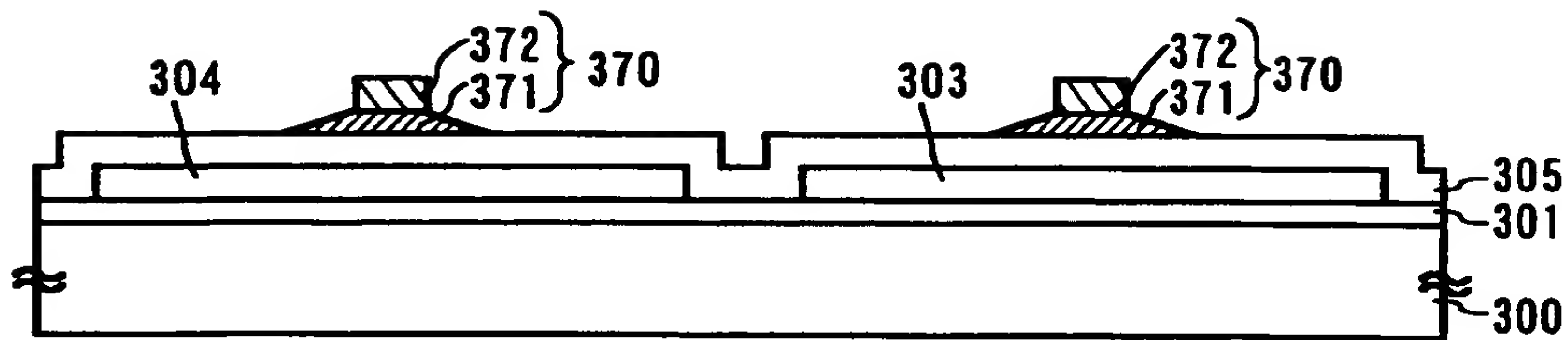
【図15】



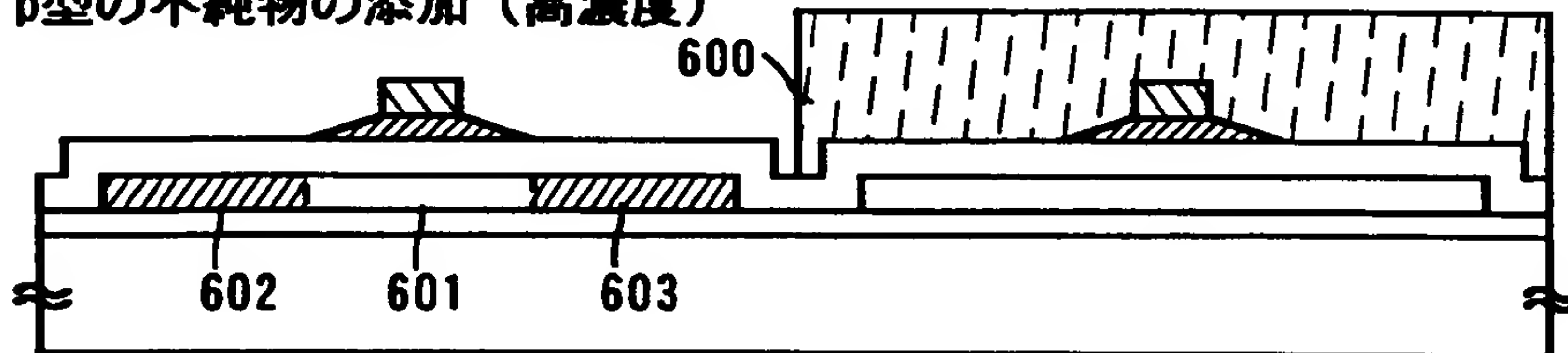
300:ガラス基板 301:下地膜 305:ゲート絶縁膜 306:保護膜 307:層間絶縁膜
 370:ゲート配線(ゲート電極)
 371:第1のゲート配線(第1のゲート電極) 372:第2のゲート配線(第2のゲート電極)
 384, 385:ソース電極 386:ドレイン電極 451, 452, 455, 456:レジストマスク
 501:チャネル形成領域 502, 503:p+型不純物領域
 511:チャネル形成領域 512, 513:n+型不純物領域
 514, 515:n-型不純物領域 516, 517:n-型不純物領域

【図 1 6】

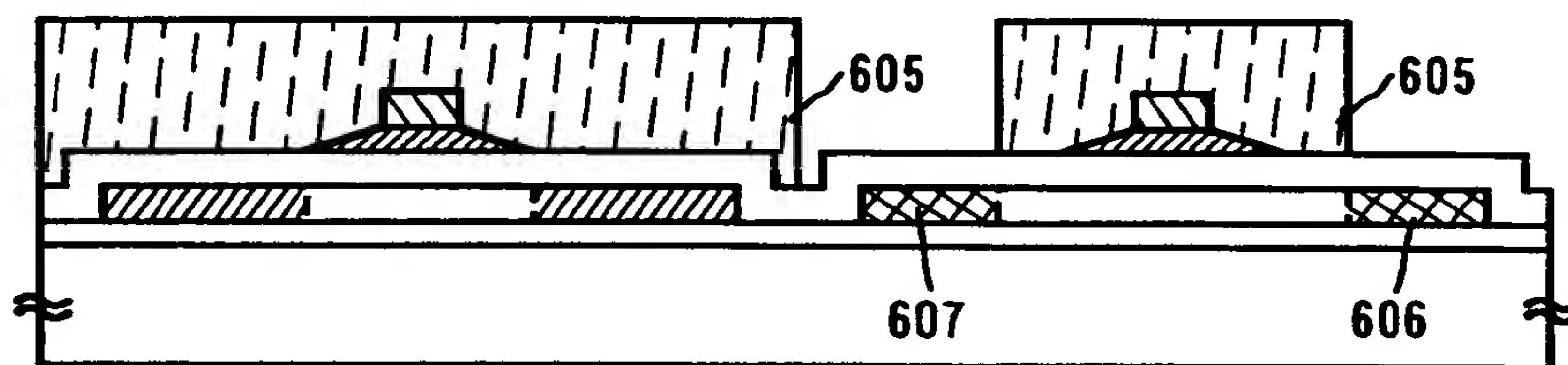
(A)



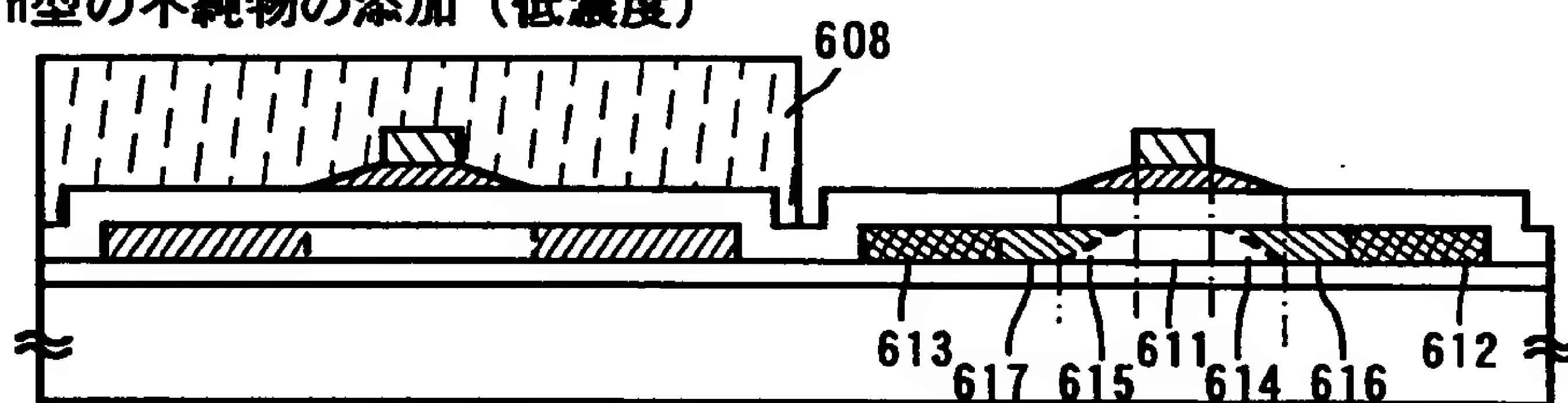
(B) p型の不純物の添加（高濃度）



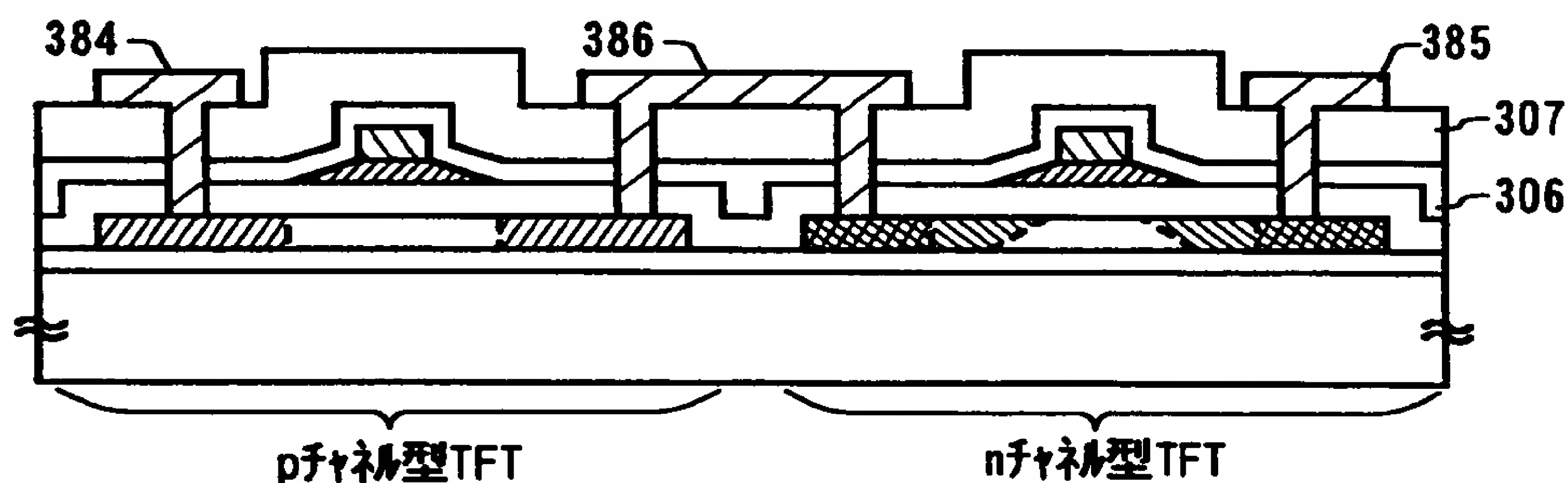
(C) n型の不純物の添加（高濃度）



(D) n型の不純物の添加（低濃度）

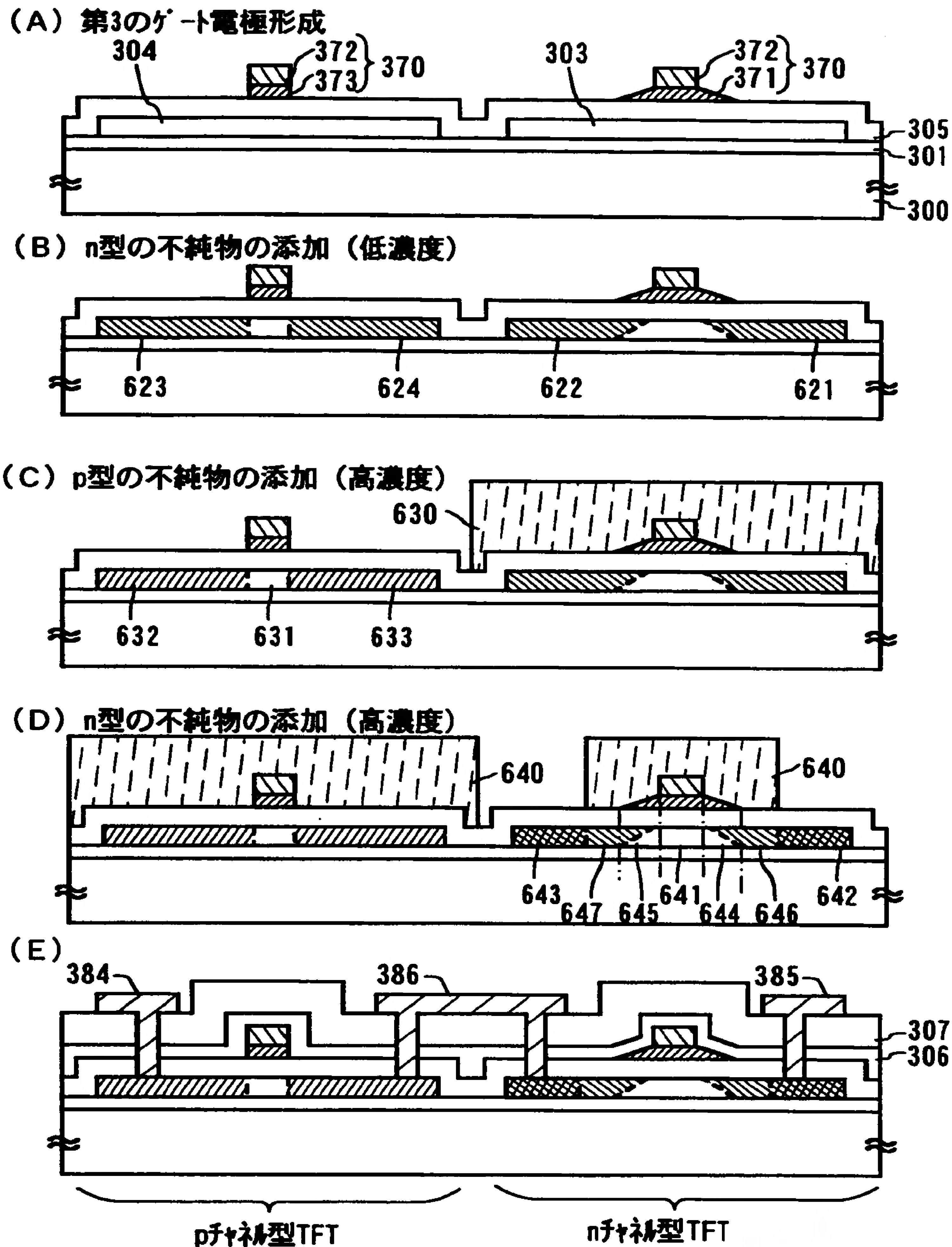


(E)



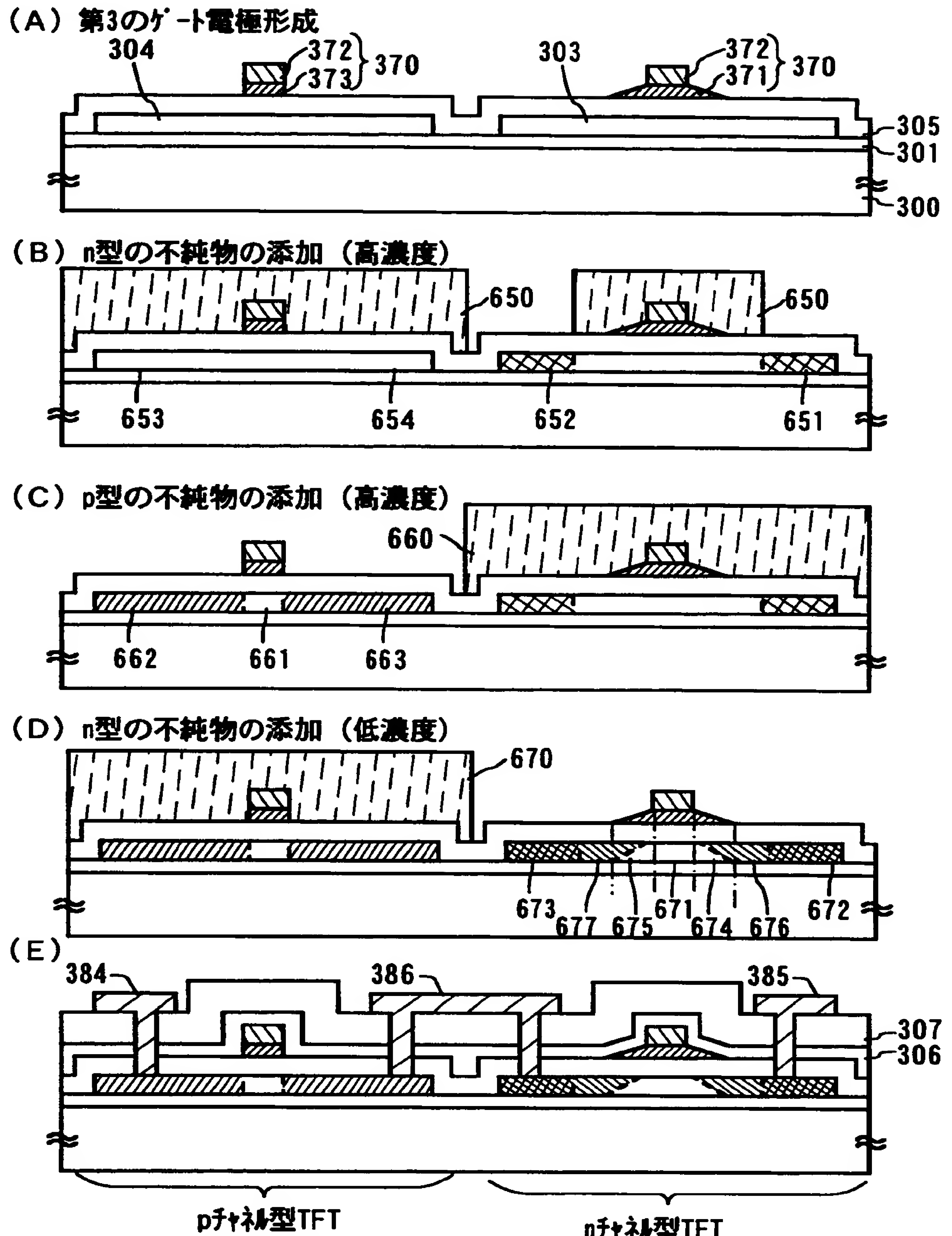
300:ガラス基板 301:下地膜 305:ゲート絶縁膜 306:保護膜 307:層間絶縁膜
 370:ゲート配線(ゲート電極)
 371:第1のゲート配線(第1のゲート電極) 372:第2のゲート配線(第2のゲート電極)
 384, 385:ソース電極 386:ドレイン電極
 601:チャネル形成領域 602, 603:p+型不純物領域
 611:チャネル形成領域 612, 613:n+型不純物領域
 614, 615:n-型不純物領域 616, 617:n-型不純物領域

【図 1 7】



300:ガラス基板 301:下地膜 303, 304:半導体層 305:ゲート絶縁膜
 306:保護膜 307:層間絶縁膜
 370:ゲート配線(ゲート電極)
 371:第1のゲート配線(第1のゲート電極) 372:第2のゲート配線(第2のゲート電極)
 373:第3のゲート電極
 384, 385:ソース電極 386:ドレイン電極
 631:チャネル形成領域 632, 633:p+型不純物領域
 641:チャネル形成領域 642, 643:n+型不純物領域 644, 645:n-型不純物領域

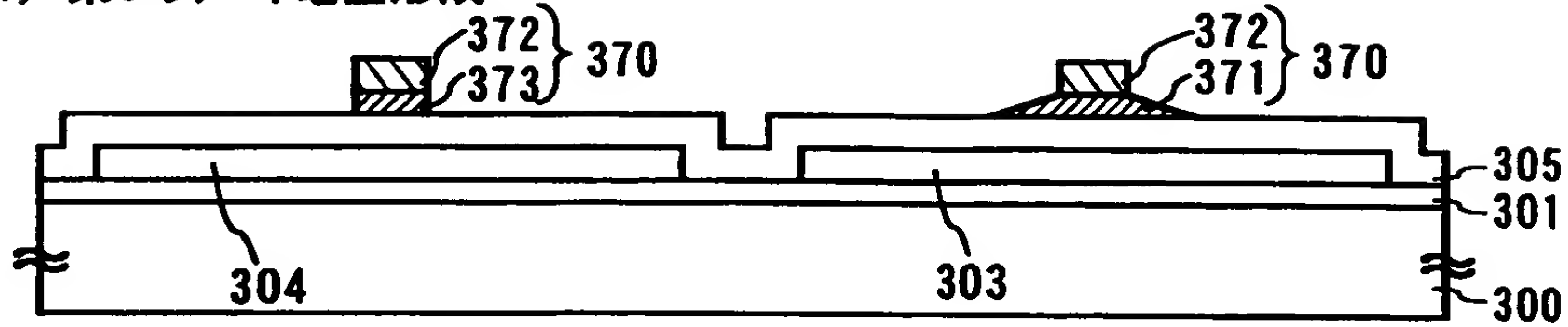
【図18】



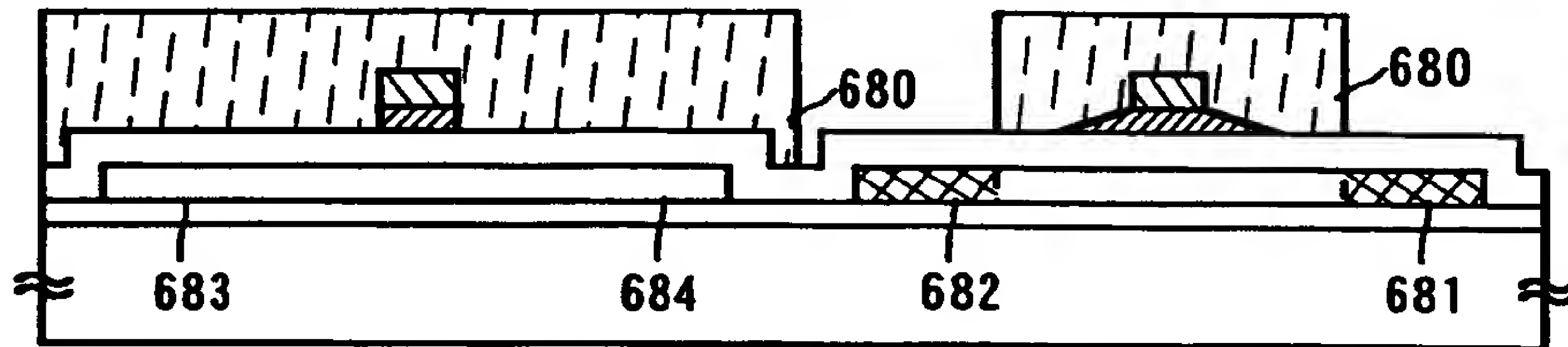
300:ガラス基板 301:下地膜 303, 304:半導体層 305:ゲート絶縁膜
 306:保護膜 307:層間絶縁膜
 370:ゲート配線(ゲート電極)
 371:第1のゲート配線(第1のゲート電極) 372:第2のゲート配線(第2のゲート電極)
 373:第3のゲート電極
 384, 385:ソース電極 386:ドレイン電極
 661:チャネル形成領域 662, 663:p+型不純物領域
 671:チャネル形成領域 672, 673:n+型不純物領域 674, 675:n-型不純物領域

【図 19】

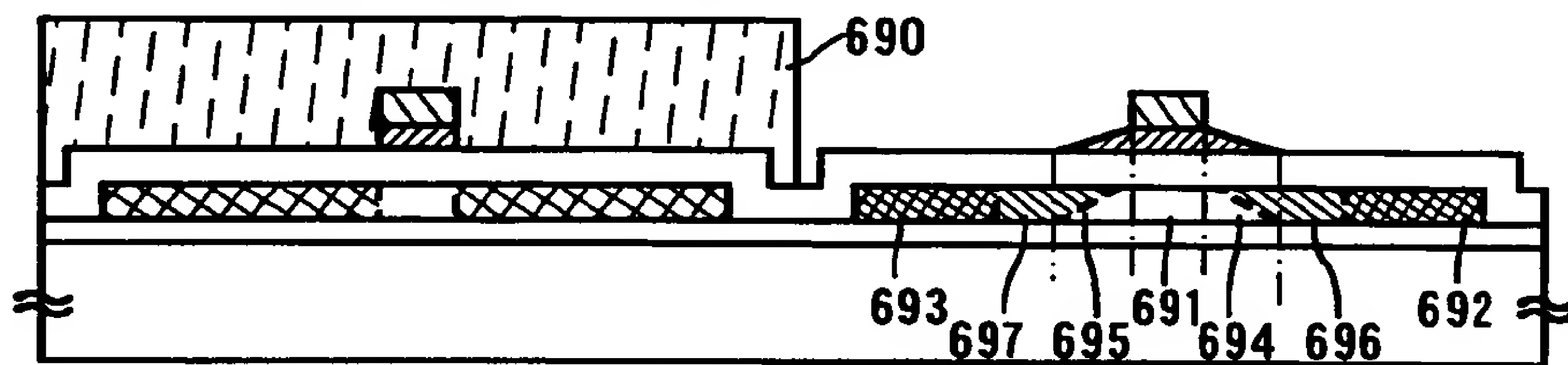
(A) 第3のゲート電極形成



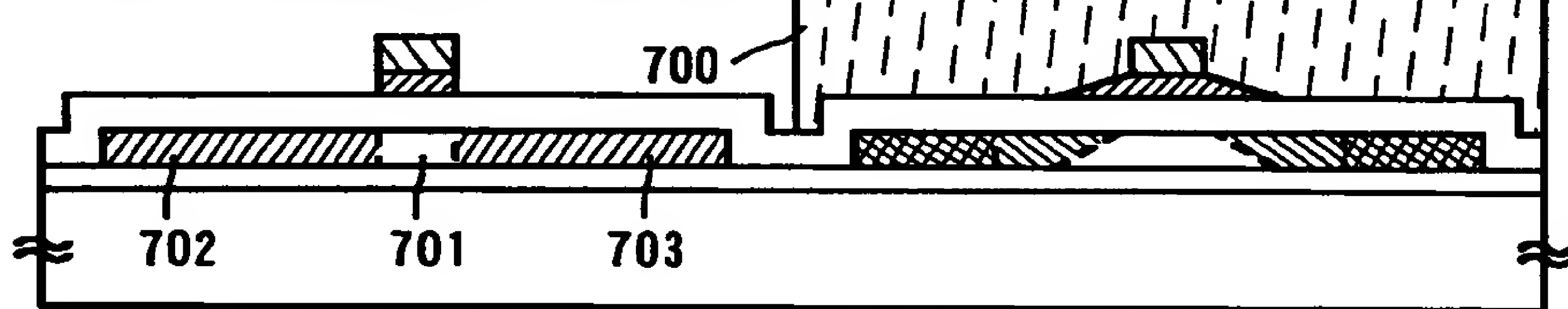
(B) n型の不純物の添加 (高濃度)



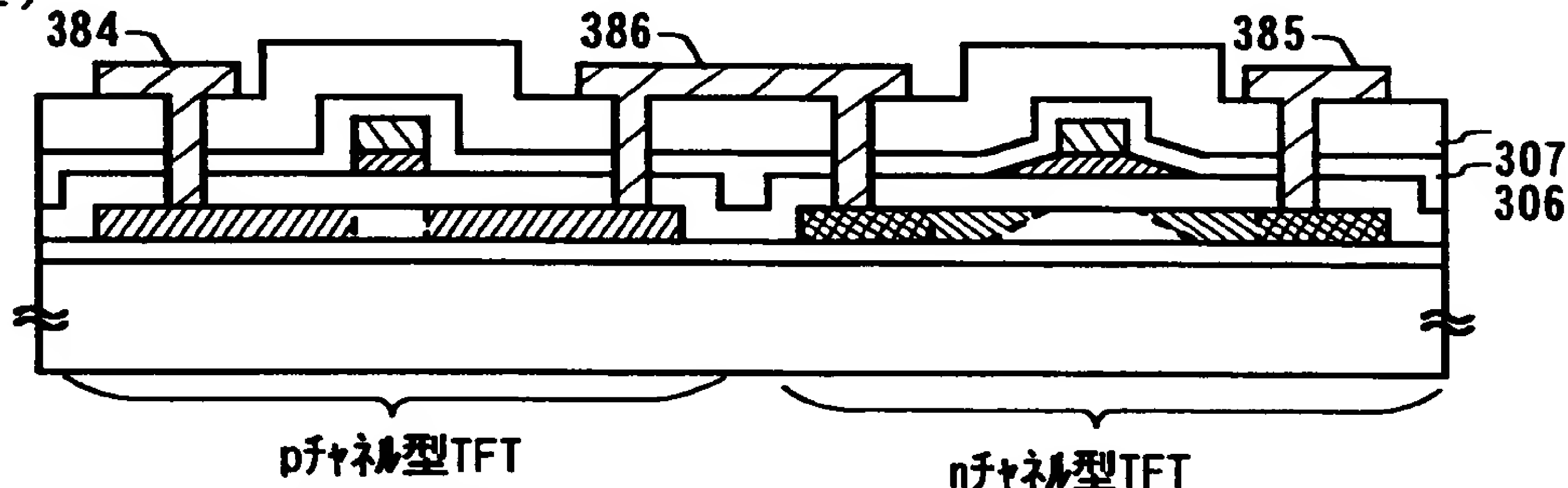
(C) n型の不純物の添加 (低濃度)



(D) p型の不純物の添加 (高濃度)

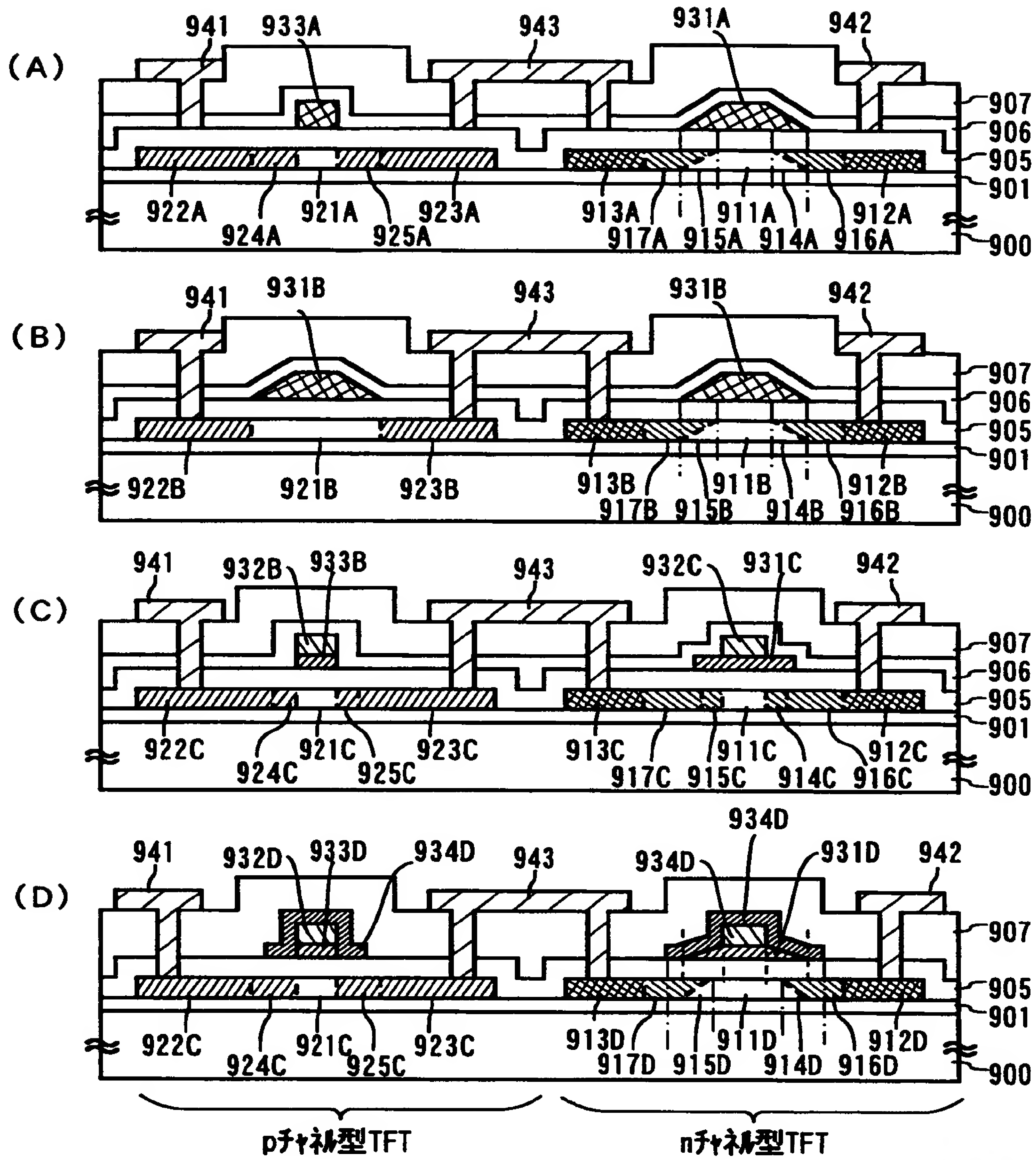


(E)



300:ガラス基板 301:下地膜 303, 304:半導体層 305:ゲート絶縁膜
 306:保護膜 307:層間絶縁膜
 370:ゲート配線(ゲート電極)
 371:第1のゲート配線(第1のゲート電極) 372:第2のゲート配線(第2のゲート電極)
 373:第3のゲート電極
 384, 385:ソース電極 386:ドレイン電極
 691:チャネル形成領域 692, 693:n+型不純物領域 694, 695:n-型不純物領域
 701:チャネル形成領域 702, 703:p+型不純物領域

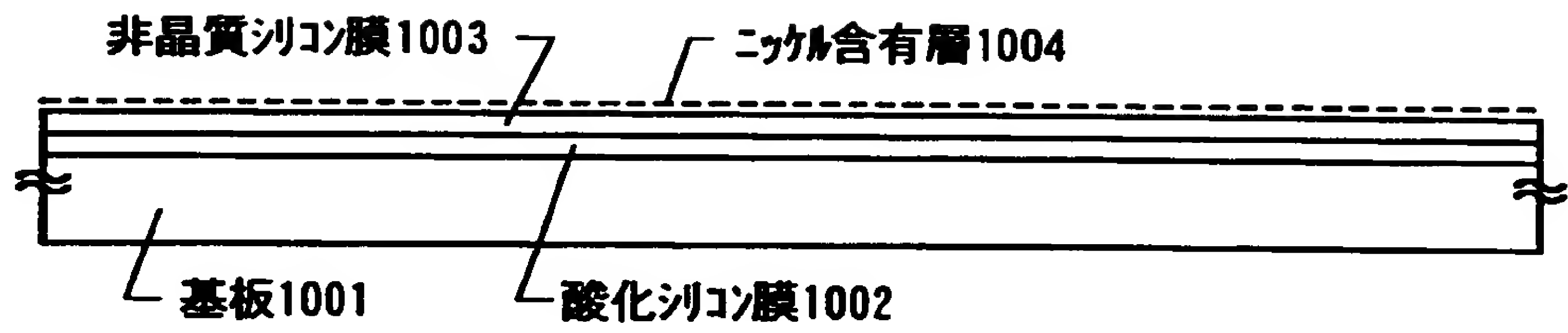
【図20】



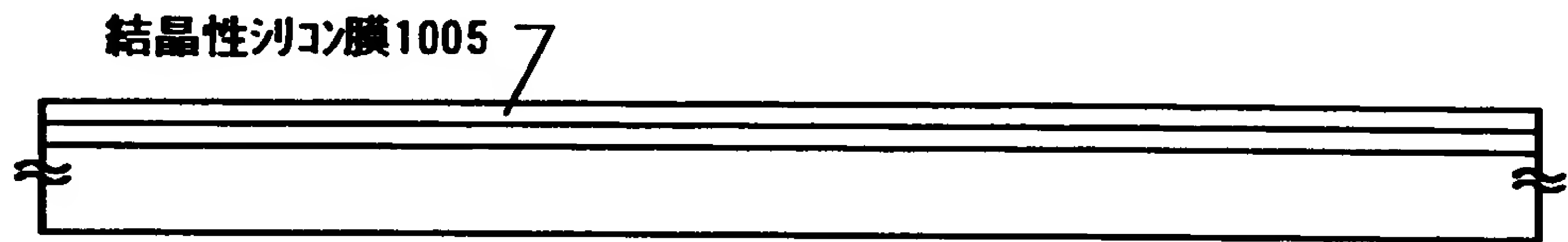
900:ガラス基板 901:下地膜 905:ゲート絶縁膜 906:保護膜 907:層間絶縁膜
 911:チャネル形成領域 912, 913:n+型不純物領域
 914, 915:n-型不純物領域 916, 917:n-型不純物領域
 921:チャネル形成領域 922, 923:p+型不純物領域 924, 925:p+型不純物領域
 931, 932, 933, 934:ゲート電極(ゲート配線)
 941, 942:ソース電極 943:ドレイン電極

【図 2 1】

(A)

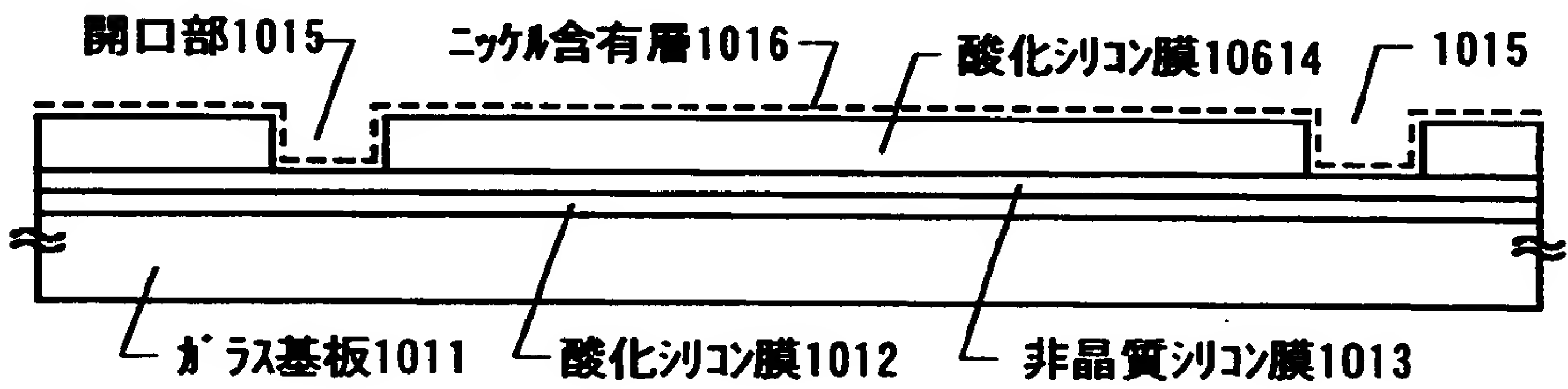


(B) 結晶化工程

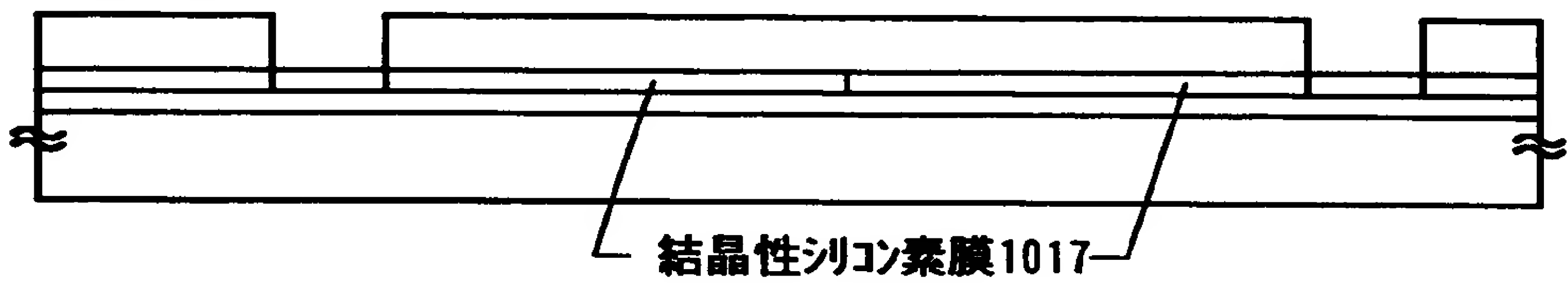


【図 2 2】

(A)

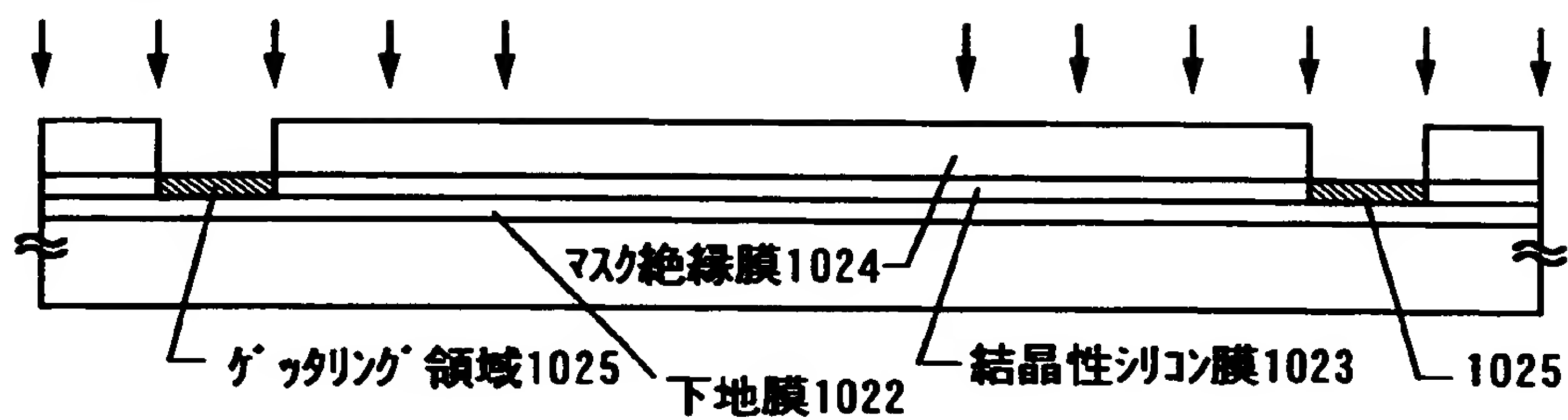


(B) 結晶化工程

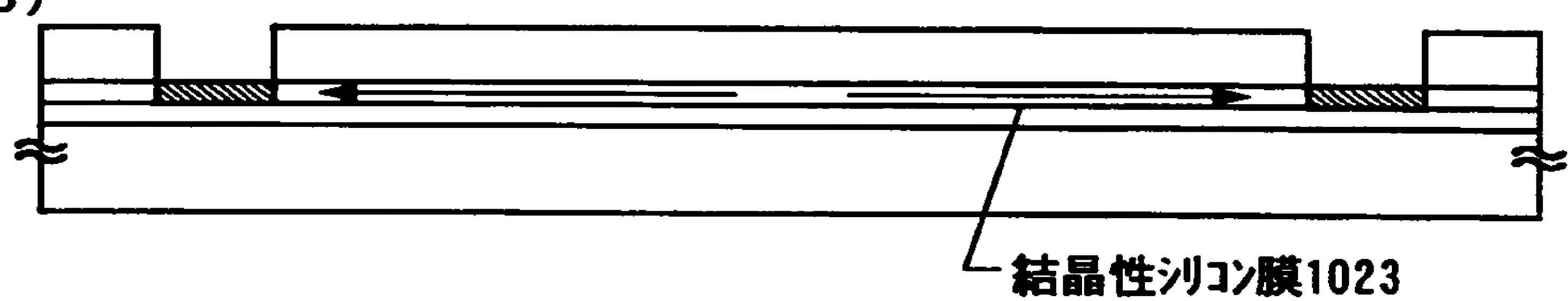


【図 23】

(A) リン添加工程

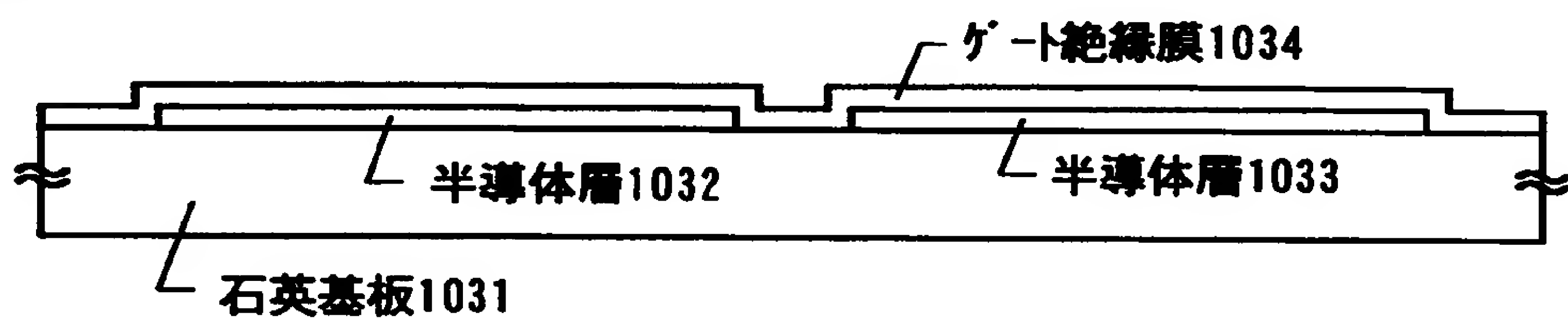


(B)

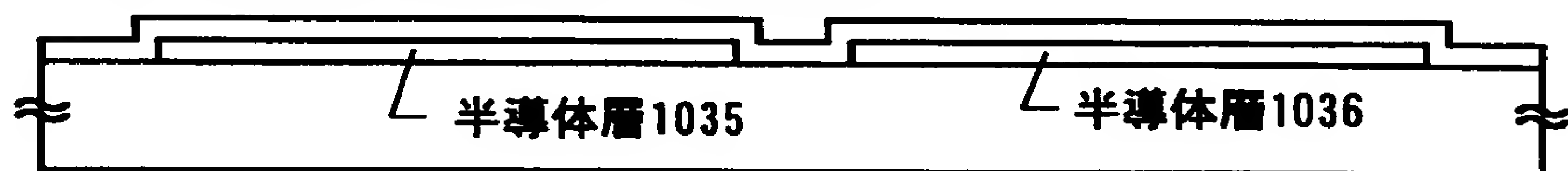


【図 24】

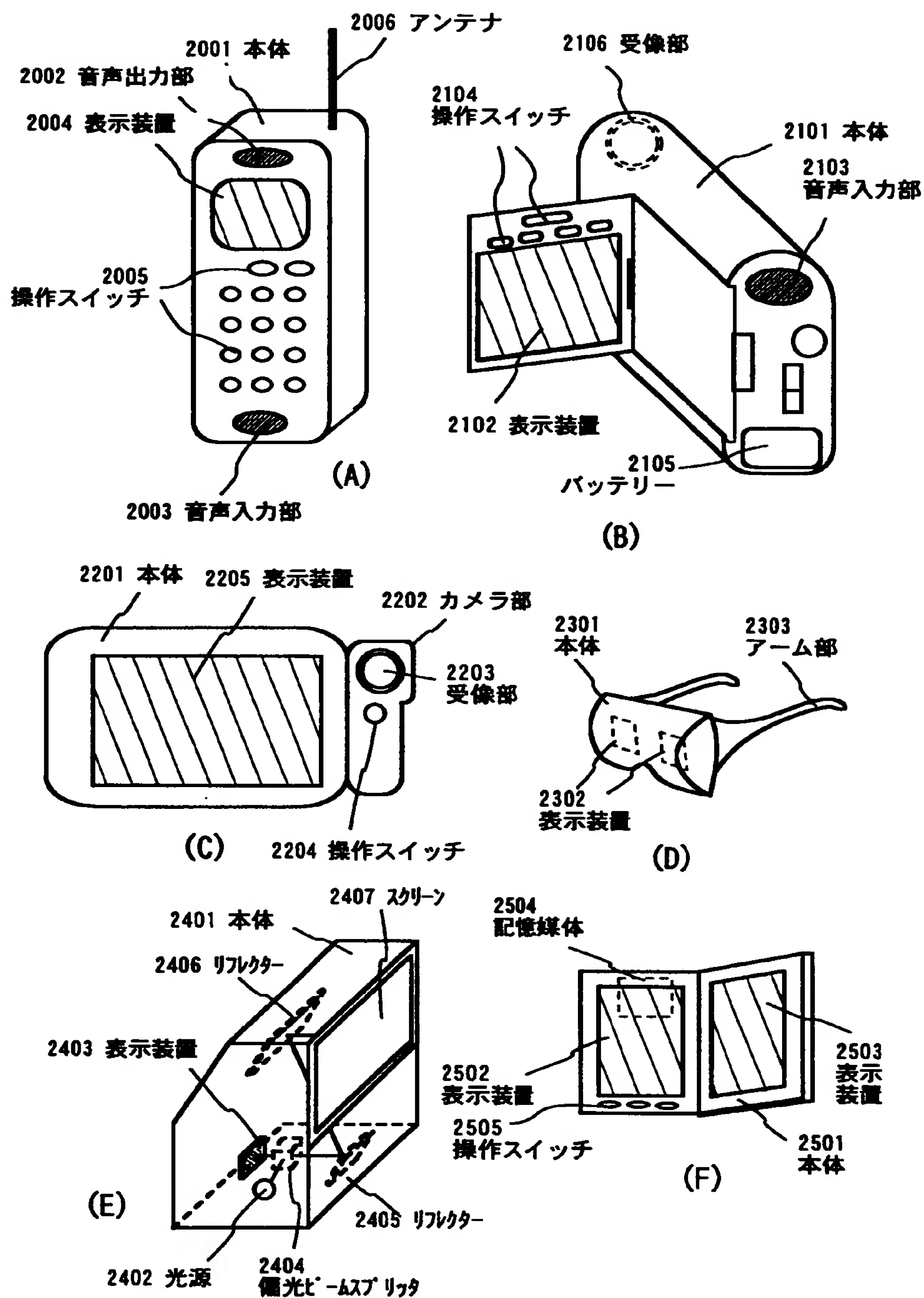
(A)



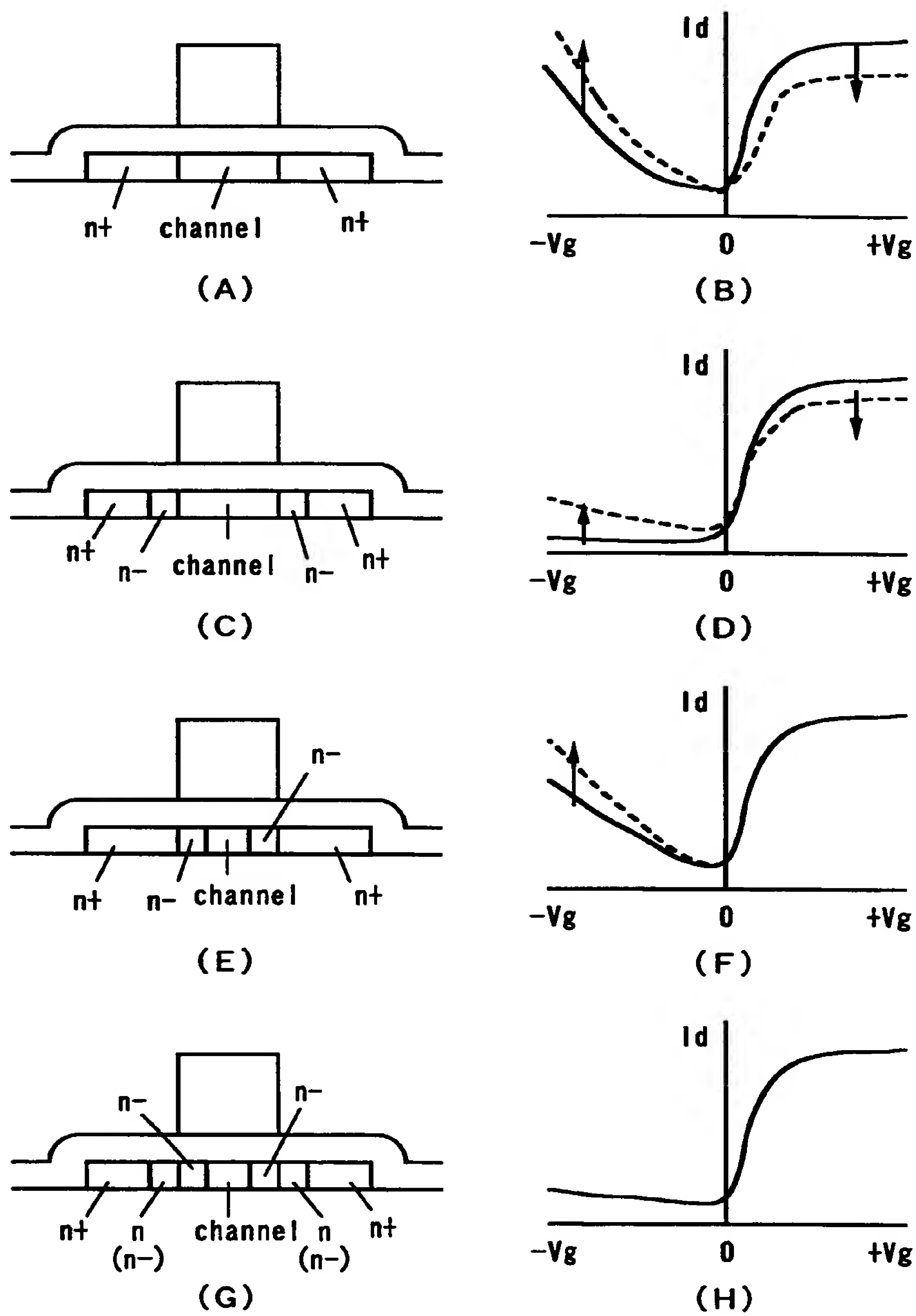
(B) H₂ガス元素を含む雰囲気中での熱処理



【図 25】



【图 2 6】



【書類名】 要約書

【要約】

【課題】 薄膜トランジスタの信頼性を向上する。

【解決手段】 ゲート電極はテーパー部を有する第 1 のゲート電極 1 0 8 と、ゲート電極 1 0 8 よりも幅の狭い第 2 のゲート電極 1 0 9 である。

半導体層には、第 1 のゲート電極 1 0 8 を介してリンを低濃度にドーピングする。半導体層には、チャネル形成領域 1 2 1 と n+ 型不純物領域 1 2 2、1 2 3 との間に 2 種類の n- 型不純物領域 1 2 4 ~ 1 2 7 が形成される。

n- 型不純物領域 1 2 4、1 2 5 はゲート電極とオーバーラップし、n- 型不純物領域 1 2 6、1 2 7 がゲート電極とオーバーラップしていない。

2 種類の n- 型不純物領域を形成することにより、オフ電流を低下できると共に、特性の劣化が抑制できる。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 5 3 8 7 8]

1. 変更年月日 1 9 9 0 年 8 月 1 7 日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷 3 9 8 番地

氏 名 株式会社半導体エネルギー研究所